



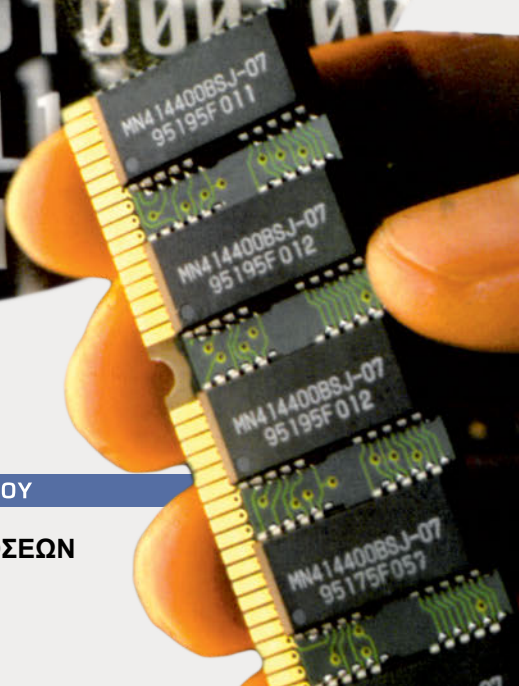
ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ

ΜΕΡΟΣ Β' ΕΡΓΑΣΤΗΡΙΟ

Β' ΕΠΑ.Λ.

ΤΟΜΕΑΣ ΗΛΕΚΤΡΟΛΟΓΙΑΣ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΑΥΤΟΜΑΤΙΣΜΟΥ

ΙΝΣΤΙΤΟΥΤΟ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΕΚΔΟΣΕΩΝ
«ΔΙΟΦΑΝΤΟΣ»



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΘΡΗΣΚΕΥΜΑΤΩΝ ΚΑΙ ΑΘΛΗΤΙΣΜΟΥ
ΙΝΣΤΙΤΟΥΤΟ ΕΚΠΑΙΔΕΥΤΙΚΗΣ ΠΟΛΙΤΙΚΗΣ

Ασημάκης Δ. Νικόλαος Μουστάκας Κ. Γεώργιος
Παπαγέωργας Γ. Παναγιώτης

Η συγγραφή και η επιστημονική επιμέλεια του βιβλίου πραγματοποιήθηκε
υπό την αιγίδα του Παιδαγωγικού Ινστιτούτου

ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ

ΜΕΡΟΣ Β'
ΕΡΓΑΣΤΗΡΙΟ

Β' ΕΠΑ.Λ.

ΤΟΜΕΑΣ ΗΛΕΚΤΡΟΛΟΓΙΑΣ, ΗΛΕΚΤΡΟΝΙΚΗΣ
ΚΑΙ ΑΥΤΟΜΑΤΙΣΜΟΥ

ΙΝΣΤΙΤΟΥΤΟ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΕΚΔΟΣΕΩΝ
«ΔΙΟΦΑΝΤΟΣ»

ΣΤΟΙΧΕΙΑ ΑΡΧΙΚΗΣ ΕΚΔΟΣΗΣ

ΟΜΑΔΑ ΣΥΓΓΡΑΦΗΣ

- **Δρ. Ασημάκης Δ. Νικόλαος**, Καθηγητής εφαρμογών, Τμήμα Ηλεκτρονικής, ΤΕΙ Λαμίας.
- **Μουστάκας Κ. Γεώργιος**, Καθηγητής Δευτεροβάθμιας Εκπαίδευσης.
- **Δρ. Παπαγιώργας Γ. Παναγιώτης**, Ερευνητής Τμήματος Πληροφορικής Πανεπιστήμιο Αθηνών.

ΟΜΑΔΑ ΚΡΙΣΗΣ

- **Γκικόκας Αθανάσιος**, Καθηγητής Δευτεροβάθμιας Εκπαίδευσης.
- **Γρηγοριάδου Μαρία**, Επίκουρος καθηγήτρια τμήματος Πληροφορικής Πανεπιστημίου Αθηνών.
- **Σαλωνίδου Αθηνά**, Καθηγήτρια Δευτεροβάθμιας Εκπαίδευσης.

ΥΠΕΥΘΥΝΟΣ ΣΤΟ ΠΛΑΙΣΙΟ ΤΟΥ ΠΑΙΔΑΓΩΓΙΚΟΥ ΙΝΣΤΙΤΟΥΤΟΥ

Κανελλόπουλος Δ. Χαράλαμπος, Σύμβουλος του Παιδαγωγικού Ινστιτούτου.

ΓΛΩΣΣΙΚΗ ΕΠΙΜΕΛΕΙΑ

Τσατμαλή Δήμητρα, Καθηγήτρια Δευτεροβάθμιας Εκπαίδευσης.

ΣΧΕΔΙΑΣΜΟΣ ΕΞΩΦΥΛΛΟΥ & ΠΡΟΕΚΤΥΠΩΣΗ ΒΙΒΛΙΟΥ

ΣΥΝΘΕΣΗ

ΠΑΙΔΑΓΩΓΙΚΟ ΙΝΣΤΙΤΟΥΤΟ

Επιστημονικός Υπεύθυνος του τομέα «ΗΛΕΚΤΡΟΝΙΚΩΝ»,

ΧΑΤΖΗΕΥΣΤΡΑΤΙΟΥ ΙΓΝΑΤΙΟΣ

(Μόνιμος Πάρεδρος του Παιδαγωγικού Ινστιτούτου)

ΣΤΟΙΧΕΙΑ ΕΠΑΝΕΚΔΟΣΗΣ

Η επανέκδοση του παρόντος βιβλίου πραγματοποιήθηκε από το Ινστιτούτο Τεχνολογίας Υπολογιστών & Εκδόσεων «Διόφαντος» μέσω ψηφιακής μακέτας.

ΠΡΟΛΟΓΟΣ

Για τη διδασκαλία των μαθημάτων Ψηφιακών Ηλεκτρονικών (Θεωρία και Εργαστήριο) της Β΄ Τάξης του Α΄ κύκλου του Ηλεκτρονικού Τομέα των ΤΕΕ γράφτηκαν αντίστοιχα δύο βιβλία, τα οποία πρέπει να διδάσκονται παράλληλα.

Τα βιβλία αυτά περιέχουν την ύλη που προβλέπεται από το Αναλυτικό Πρόγραμμα του Παιδαγωγικού Ινστιτούτου σε έκταση που αντιστοιχεί στις προτεινόμενες από αυτό ώρες διδασκαλίας και σε βάθος που απαιτείται από έναν Ηλεκτρονικό απόφοιτο ΤΕΕ.

Σε κάθε κεφάλαιο της θεωρίας περιέχονται οι στόχοι, το θεωρητικό μέρος, η ανάλυση των φύλλων δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται, η περίληψη, λυμένες ασκήσεις καθώς και ερωτήσεις, εργασίες και προβλήματα. Οι “στόχοι” στην αρχή κάθε κεφαλαίου κατευθύνουν το μαθητή και βοηθούν τον εκπαιδευτικό στην εκπαιδευτική διαδικασία και στην αξιολόγησή της.

Οι εργαστηριακές ασκήσεις οι οποίες αντιστοιχούν στο κάθε κεφάλαιο παρατίθενται σε δεύτερο βιβλίο μαζί και με τα φύλλα δεδομένων όλων των ολοκληρωμένων κυκλωμάτων που αναφέρονται. Σημαντικό βάρος δώσαμε στην ανάλυση φύλλων δεδομένων των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται, γιατί θεωρήσαμε απαραίτητο ο μαθητής να έρθει σε μια πρώτη επαφή με τον τρόπο απόκτησης βασικής γνώσης και στοιχείων σχεδίασης ψηφιακών κυκλωμάτων με ολοκληρωμένα κυκλώματα μέσα από μια “πρακτική” διαδικασία, ώστε να βοηθηθεί στην παρακολούθηση των εξελίξεων της ηλεκτρονικής και στην δια βίου εκπαίδευσή του.

Για τις εργαστηριακές ασκήσεις πιστεύουμε ότι καλύτερος τρόπος είναι η συνδεσμολογία των κυκλωμάτων σε “bread board”. Αυτό γιατί οι μαθητές εκπαιδεύονται στη συνδεσμολογία κυκλωμάτων, το κόστος είναι μικρό, μπορούν να γίνουν εύκολα προσαρμογές στις ασκήσεις κ.λ.π. Μόνο δύσκολες ασκήσεις, που απαιτούν μεγάλο χρόνο για την συνδεσμολογία τους ή συμπεριλαμβάνουν εξαρτήματα ευαίσθητα, συνιστούμε να πραγματοποιούνται σε προκατασκευασμένες πινακίδες ασκήσεων.

Η διδακτική μας εμπειρία δείχνει ότι η συγγραφή των θεωρητικών και των εργαστηριακών βιβλίων από τους ίδιους συγγραφείς, λύνει σε μεγάλο βαθμό το

πρόβλημα του συγχρονισμού διδασκαλίας θεωρίας και εργαστηρίου. Με την σύγχρονη αυτή διδασκαλία ο μαθητής δεν παραμένει αδρανής αναγνώστης των διαφόρων γνωστικών θεμάτων, αλλά συμμετέχει ενεργά στην απόκτηση της γνώσης.

Παραμένουμε στη διάθεση των εκπαιδευτικών και των μαθητών για οποιοσδήποτε παρατηρήσεις ή επικοδομητικά σχόλια, ώστε να γίνει αυτό το βιβλίο ένας εύχρηστος και αποτελεσματικός οδηγός για τη διδασκαλία του μαθήματος “Ψηφιακά Ηλεκτρονικά”.

Οι συγγραφείς

ΠΕΡΙΕΧΟΜΕΝΑ

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	1:	Λογικές Πύλες NOT, AND ΚΑΙ OR.....	7
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	2:	Λογικές Πύλες NAND, NOR ΚΑΙ XOR.....	11
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	3:	Υλοποίηση Συνδυαστικού Κυκλώματος όταν δίνεται η λογική συνάρτηση.....	15
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	4:	Υλοποίηση Συνδυαστικού Κυκλώματος όταν δίνεται ο Πίνακας Αληθείας.....	16
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	5:	Υλοποίηση Συνδυαστικού Κυκλώματος όταν δίνεται η περιγραφή ενός προβλήματος.....	17
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	6:	Υλοποίηση Συνδυαστικού Κυκλώματος με οικογενειακές πύλες.....	18
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	7:	Συγκριτές μεγέθους δυαδικών αριθμών.....	20
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	8:	Πολυπλέκτες.....	23
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	9:	Αποπολυπλέκτες.....	26
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	10:	Αποκωδικοποιητές.....	29
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	11:	Κωδικοποιητές.....	33
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	12:	Μανταλωτές.....	35
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	13:	Flip-flops.....	37
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	14:	Καταχωρητές με flip-flop.....	40
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	15:	Καταχωρητές ολίσθησης με O.K.....	42
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	16:	Απαριθμητές με flip-flops.....	44
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	17:	Απαριθμητές με O.K.....	47
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	18:	Ημιαθροιστής-Πλήρης Αθροιστής.....	50
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	19:	Αθροιστής-Αφαιρέτης με O.K.....	53
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	20:	Εγγραφή και Ανάγνωση μνήμης RAM.....	55
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	21:	Μετατροπέας A/D.....	58
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	22:	Μετατροπέας D/A.....	61
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	23:	Μονοσταθής πολυδονητής με το O.K. 555.....	63
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ	24:	Ασταθής πολυδονητής με το O.K. 555.....	65
ΦΥΛΛΑ ΔΕΔΟΜΕΝΩΝ O.K. (DATA SHEETS)			69
ΟΝΟΜΑΤΟΛΟΓΙΑ O.K.			99
ΕΥΡΕΤΗΡΙΟ O.K.			101

ΛΟΓΙΚΕΣ ΠΥΛΕΣ NOT, AND ΚΑΙ OR

Στόχοι: Στο τέλος της άσκησης πρέπει:

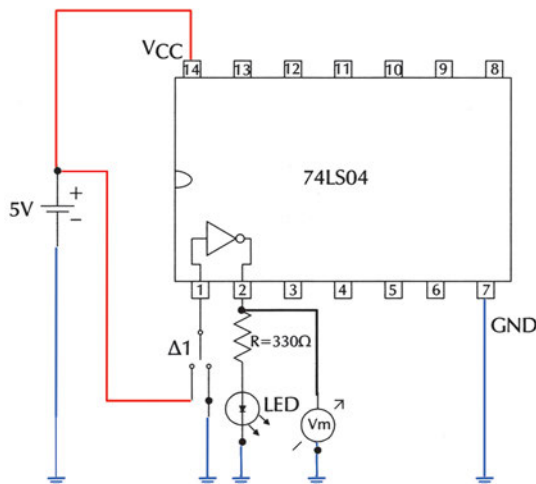
- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων (Ο.Κ.) που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να ελέγχετε τη σωστή λειτουργία των λογικών πυλών, με τη βοήθεια των πινάκων αληθείας, που θα προκύψουν πειραματικά.
- Να επαληθεύετε πειραματικά τα θεωρήματα και τα αξιώματα της Άλγεβρας Boole.

Εργασία: Πύλη NOT

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS04).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ. και σε μια από τις πύλες που περιέχει και να συνδέσετε διακόπτη στην είσοδο και στην έξοδο βολτόμετρο και LED, όπως φαίνεται στο Σχήμα Ε.1.1.

Σημείωση: Σε επόμενες εργαστηριακές ασκήσεις αυτά τα κυκλώματα θα αναφέρονται με τον όρο **κυκλώματα ενσυρμάτωσης**.



Σχήμα Ε.1.1 Κύκλωμα ενσυρμάτωσης πύλης NOT

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

4. Με το διακόπτη Δ1 να δώσετε στην είσοδο λογικές καταστάσεις “0” ή “1” και να συμπληρώσετε τον παρακάτω πίνακα παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”) καθώς και την ένδειξη του βολτομέτρου:

A	Y	LED	V _m
0			
1			

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν η πύλη λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα με:

α) τον πίνακα αληθείας της πύλης NOT και

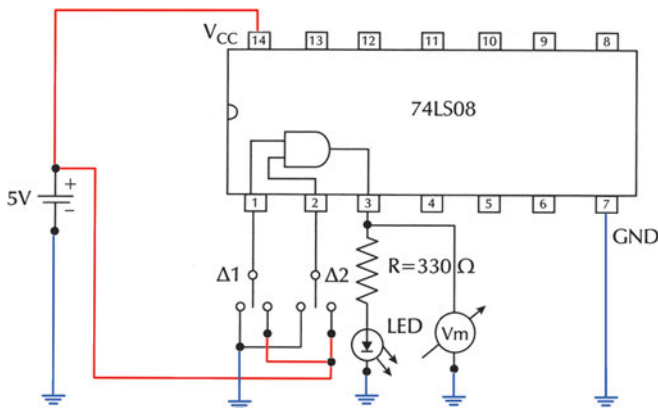
β) τις τάσεις εξόδου V_{OL} και V_{OH} (πρέπει η ένδειξη του βολτομέτρου να είναι $V_m \leq V_{OLmax}$, όταν η έξοδος είναι “0” ή $V_m \geq V_{OHmin}$, όταν η έξοδος είναι “1”).

6. Να επαληθεύσετε πειραματικά το θεώρημα της Άλγεβρας Boole: $A = \overline{\overline{A}}$ χρησιμοποιώντας δύο πύλες NOT του ολοκληρωμένου που επιλέξατε.

Πύλη AND

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS08).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ. και σε μία από τις πύλες που περιέχει και να συνδέσετε διακόπτες στις εισόδους και στην έξοδο βολτομέτρο και LED, όπως φαίνεται στο Σχήμα Ε.1.2.



Σχήμα Ε.1.2 Κύκλωμα ενσωμάτωσης πύλης AND

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

4. Με τους διακόπτες Δ1 και Δ2 να δώσετε στις εισόδους όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων και να συμπληρώσετε τον παρακάτω πίνακα παρατηρώντας το LED (αναμμένο =“1” ή σβηστό =“0”) καθώς και την ένδειξη του βολτομέτρου:

A	B	Y	LED	V _m
0	0			
0	1			
1	0			
1	1			

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν η πύλη λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα με:

α) τον πίνακα αληθείας της πύλης AND και

β) τις τάσεις εξόδου V_{OL} και V_{OH} (πρέπει η ένδειξη του βολτομέτρου να είναι $V_m \leq V_{OLmax}$, όταν η έξοδος είναι “0” ή $V_m \geq V_{OHmin}$, όταν η έξοδος είναι “1”).

6. Να συνδέσετε τη μία είσοδο της πύλης στην τάση V_{cc} ενώ την άλλη να την αφήσετε ασύνδετη. Παρατηρώντας την κατάσταση του LED, να συμπεράνετε αν η ασύνδετη είσοδος ισοδυναμεί με λογική κατάσταση “0” ή “1”.

7. Να επαληθεύσετε πειραματικά τα παρακάτω θεωρήματα της άλγεβρας Boole: $A \cdot A = A$, $A \cdot 0 = 0$.

Πύλη OR

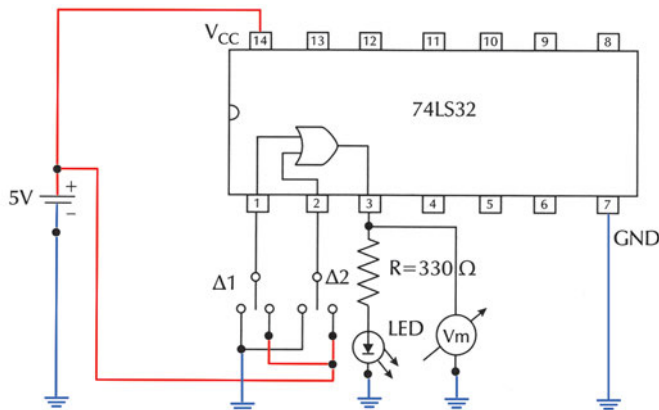
1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS32).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ. και σε μία από τις πύλες που περιέχει και να συνδέσετε διακόπτες στις εισόδους και στην έξοδο βολτόμετρο και LED, όπως φαίνεται στο Σχήμα Ε.1.3.

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board” (Βλέπε σχήμα Ε. 1.3).

4. Με τους διακόπτες Δ1 και Δ2 να δώσετε στις εισόδους όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων και να συμπληρώσετε τον παρακάτω πίνακα παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”) καθώς και την ένδειξη του βολτομέτρου:

A	B	Y	LED	V _m
0	0			
0	1			
1	0			
1	1			



Σχήμα E.1.3 Κύκλωμα ενσωμάτωσης πύλης OR

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν η πύλη λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα με:

α) τον πίνακα αληθείας της πύλης OR και

β) τις τάσεις εξόδου V_{OL} και V_{OH} (πρέπει η ένδειξη του βολτομέτρου να είναι $V_m \leq V_{OLmax}$, όταν η έξοδος είναι "0" ή $V_m \geq V_{OHmin}$, όταν η έξοδος είναι "1").

6. Να συνδέσετε τη μία είσοδο της πύλης στην τάση GND ενώ την άλλη να την αφήσετε ασύνδετη. Παρατηρώντας την κατάσταση του LED, να συμπεράνετε αν η ασύνδετη είσοδος ισοδυναμεί με λογική κατάσταση "0" ή "1".

7. Να επαληθεύσετε πειραματικά τα παρακάτω θεωρήματα της άλγεβρας Boole: $A+A=A$, $A+1=1$

Πρόσθετη εργασία

1. Να υλοποιήσετε μία πύλη AND τριών εισόδων χρησιμοποιώντας δύο πύλες AND δύο εισόδων. Να συγκρίνετε τη λειτουργία της με τη λειτουργία μίας πύλης AND τριών εισόδων. Να επιλέξετε τα κατάλληλα Ο.Κ.

(Μπορείτε να χρησιμοποιήσετε τα Ο.Κ. 74LS08 και 74LS11).

2. Επιλέγοντας τα κατάλληλα Ο.Κ., να επαληθεύσετε πειραματικά το Θεώρημα Απορρόφησης της Άλγεβρας Boole: $A+A \cdot B=A$

(Μπορείτε να χρησιμοποιήσετε τα Ο.Κ. 74LS08 και 74LS32).

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 2

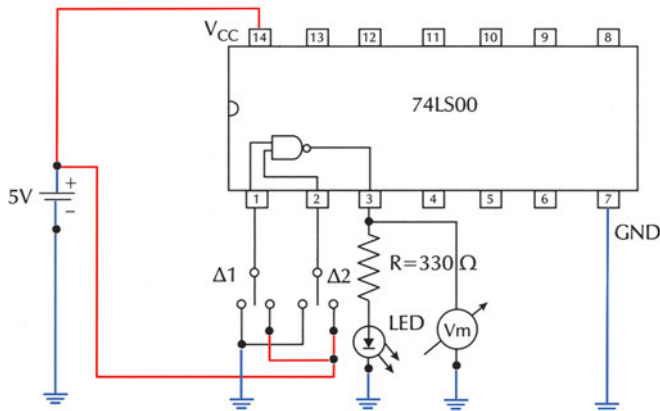
ΛΟΓΙΚΕΣ ΠΥΛΕΣ NAND, NOR ΚΑΙ XOR

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να ελέγχετε τη σωστή λειτουργία των λογικών πυλών, με τη βοήθεια των πινάκων αληθείας, που θα προκύψουν πειραματικά.

Εργασία: Πύλη NAND

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS00).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ. και σε μία από τις πύλες που περιέχει και να συνδέσετε διακόπτες στις εισόδους και στην έξοδο βολτόμετρο και LED, όπως φαίνεται στο Σχήμα Ε.2.1.



Σχήμα Ε.2.1 Κύκλωμα ενσωμάτωσης πύλης NAND

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Με τους διακόπτες Δ1 και Δ2 να δώσετε στις εισόδους όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων και να συμπληρώσετε τον παρακάτω πίνακα παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”), καθώς και την ένδειξη του βολτομέτρου:

A	B	Y	LED	V _m
0	0			
0	1			
1	0			
1	1			

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν η πύλη λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα με:

α) τον πίνακα αληθείας της πύλης NAND και

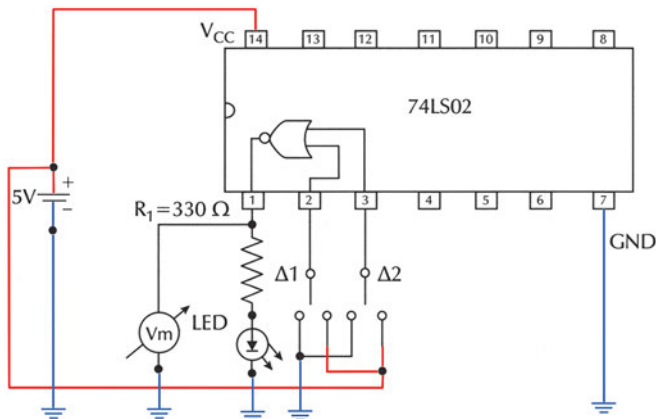
β) τις τάσεις εξόδου V_{OL} και V_{OH} (πρέπει η ένδειξη του βολτομέτρου να είναι $V_m \leq V_{OLmax}$, όταν η έξοδος είναι "0" ή $V_m \geq V_{OHmin}$, όταν η έξοδος είναι "1").

6. Να βραχυκυκλώσετε τις (δύο) εισόδους μίας πύλης NAND και να δώσετε διαδοχικά λογικές καταστάσεις "0" και "1". Παρατηρώντας την κατάσταση του LED, να συμπεράνετε ότι η πύλη NAND λειτουργεί ως πύλη NOT.

Πύλη NOR

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS02).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ. και σε μία από τις πύλες που περιέχει και να συνδέσετε διακόπτες στις εισόδους και στην έξοδο βολτομέτρο και LED, όπως φαίνεται στο Σχήμα E.2.2.



Σχήμα E.2.2 Κύκλωμα ενσωμάτωσης πύλης NOR

3. Να πραγματοποιήσετε το κύκλωμα σε "bread board".

4. Με τους διακόπτες Δ1 και Δ2 να δώσετε στις εισόδους όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων και να συμπληρώσετε τον παρακάτω πίνακα:

κα παρατηρώντας το LED (αναμμένο="1" ή σβηστό = "0") καθώς και την ένδειξη του βολτομέτρου:

A	B	Y	LED	V _m
0	0			
0	1			
1	0			
1	1			

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν η πύλη λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα με:

α) τον πίνακα αληθείας της πύλης NOR και

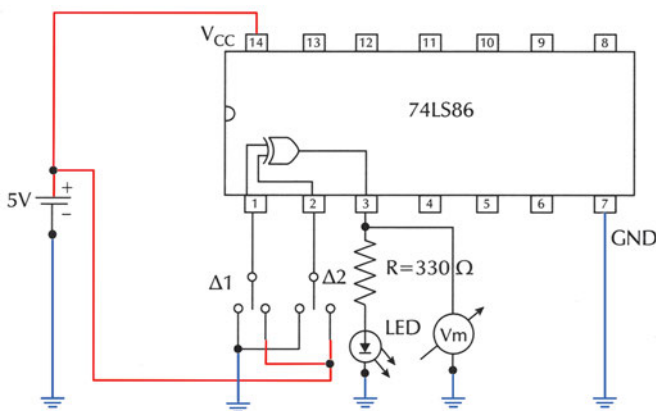
β) τις τάσεις εξόδου V_{OL} και V_{OH} (πρέπει η ένδειξη του βολτομέτρου να είναι $V_m \leq V_{OLmax}$, όταν η έξοδος είναι "0" ή $V_m \geq V_{OHmin}$, όταν η έξοδος είναι "1").

6. Να βραχυκυκλώσετε τις (δύο) εισόδους μίας πύλης NOR και να δώσετε διαδοχικά λογικές καταστάσεις "0" και "1". Παρατηρώντας την κατάσταση του LED, να συμπεράνετε ότι η πύλη NOR λειτουργεί ως πύλη NOT.

Πύλη XOR

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS86).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ. και σε μία από τις πύλες που περιέχει και να συνδέσετε διακόπτες στις εισόδους και στην έξοδο βολτόμετρο και LED, όπως φαίνεται στο Σχήμα E.2.3.



Σχήμα E.2.3 Κύκλωμα ενσωμάτωσης πύλης XOR

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

4. Με τους διακόπτες Δ1 και Δ2 να δώσετε στις εισόδους όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων και να συμπληρώσετε τον παρακάτω πίνακα παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”) καθώς και την ένδειξη του βολτομέτρου:

A	B	Y	LED	V _m
0	0			
0	1			
1	0			
1	1			

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν η πύλη λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα με:

α) τον πίνακα αληθείας της πύλης XOR και

β) τις τάσεις εξόδου V_{OL} και V_{OH} (πρέπει η ένδειξη του βολτομέτρου να είναι $V_m \leq V_{OLmax}$, όταν η έξοδος είναι “0” ή $V_m \geq V_{OHmin}$, όταν η έξοδος είναι “1”).

6. Να υλοποιήσετε μία πύλη XOR τριών εισόδων χρησιμοποιώντας δύο πύλες XOR δύο εισόδων.

Πρόσθετη εργασία

1. Επιλέγοντας τα κατάλληλα Ο.Κ., να επαληθεύσετε πειραματικά το Θεώρημα De Morgan: $\overline{A \cdot B} = \overline{A} + \overline{B}$

(Μπορείτε να χρησιμοποιήσετε τα Ο.Κ. 74LS00, 74LS04 και 74LS32).

2. Να υλοποιήσετε μία πύλη XNOR δύο εισόδων χρησιμοποιώντας μία πύλη XOR δύο εισόδων και μία πύλη NOT. Να επιλέξετε τα κατάλληλα Ο.Κ.

(Μπορείτε να χρησιμοποιήσετε τα Ο.Κ. 74LS04 και 74LS86).

ΥΛΟΠΟΙΗΣΗ ΣΥΝΔΥΑΣΤΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ ΟΤΑΝ ΔΙΝΕΤΑΙ Η ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να σχεδιάζετε και να κατασκευάζετε Συνδυαστικά Κυκλώματα, όταν δίδεται η Λογική Συνάρτηση.
- Να ελέγχετε τη σωστή λειτουργία των λογικών κυκλωμάτων που σχεδιάσατε και κατασκευάσατε.

Πρόβλημα:

Να σχεδιάσετε και να κατασκευάσετε το Συνδυαστικό Κύκλωμα με το οποίο υλοποιείται η ακόλουθη Λογική Συνάρτηση:

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot \bar{C}$$

Εργασία:

1. Χρησιμοποιώντας τα αξιώματα και θεωρήματα της άλγεβρας Boole να απλοποιήσετε τη Λογική Συνάρτηση.
2. Χρησιμοποιώντας χάρτη Karnaugh να απλοποιήσετε τη Λογική Συνάρτηση. Να συγκρίνετε το αποτέλεσμα με αυτό του βήματος 1.
3. Με βάση τη σειρά εκτέλεσης, να χωρίσετε σε επίπεδα τις λογικές πύλες που απαιτούνται για την υλοποίηση της απλοποιημένης Λογικής Συνάρτησης. Να γράψετε τις πύλες που απαιτούνται σε κάθε επίπεδο. Να σχεδιάσετε το Λογικό Κύκλωμα, στο οποίο θα φαίνονται και τα επίπεδα εκτέλεσης των λογικών πράξεων.
4. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.
5. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.
6. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
7. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε, λειτουργεί σωστά.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4

ΥΛΟΠΟΙΗΣΗ ΣΥΝΔΥΑΣΤΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ ΟΤΑΝ ΔΙΝΕΤΑΙ Ο ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέξετε τα κατάλληλα Ο.Κ.
- Να σχεδιάσετε και να κατασκευάσετε Συνδυαστικά Κυκλώματα, όταν δίδεται ο Πίνακας Αληθείας.
- Να ελέγχετε τη σωστή λειτουργία των λογικών κυκλωμάτων που σχεδιάσατε και κατασκευάσατε.

Πρόβλημα:

Να σχεδιάσετε και να κατασκευάσετε το Συνδυαστικό Κύκλωμα το οποίο να επαληθεύει τον ακόλουθο Πίνακα Αληθείας:

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Εργασία:

1. Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.
2. Χρησιμοποιώντας τα αξιώματα και θεωρήματα της άλγεβρας Boole να απλοποιήσετε τη συνάρτηση εξόδου.
Χρησιμοποιώντας χάρτη Karnaugh, να απλοποιήσετε τη συνάρτηση εξόδου.
Να συγκρίνετε τις απλοποιημένες συναρτήσεις που βρήκατε.
3. Να σχεδιάσετε το κύκλωμα, όπου να φαίνονται τα επίπεδα των πυλών, με βάση την προτεραιότητα των πράξεων της απλοποιημένης συνάρτησης εξόδου.
4. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.
5. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.
6. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
7. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά.

ΥΛΟΠΟΙΗΣΗ ΣΥΝΔΥΑΣΤΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ ΟΤΑΝ ΔΙΝΕΤΑΙ Η ΠΕΡΙΓΡΑΦΗ ΕΝΟΣ ΠΡΟΒΛΗΜΑΤΟΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να σχεδιάζετε και να κατασκευάζετε Συνδυαστικά Κυκλώματα, όταν δίδεται η περιγραφή ενός προβλήματος.
- Να ελέγχετε τη σωστή λειτουργία των λογικών κυκλωμάτων που σχεδιάσατε και κατασκευάσατε.

Πρόβλημα:

Να σχεδιάσετε και να κατασκευάσετε ένα συνδυαστικό κύκλωμα η έξοδος Y του οποίου θα ενεργοποιεί ένα συναγερμό (ο συναγερμός ενεργοποιείται με “1”). Το κύκλωμα έχει τρεις εισόδους A , B και C , που συνδέονται με τρεις διακόπτες οι οποίοι είναι συνδεδεμένοι με τρεις αισθητήρες (sensors) SA , SB και SC που ελέγχουν: την πίεση, τη θερμοκρασία και τη στάθμη αντίστοιχα ενός υγρού μέσα σε μία δεξαμενή. Οι αισθητήρες δίνουν “1”, όταν τα φυσικά μεγέθη υπερβούν κάποιο προκαθορισμένο όριο. Ο συναγερμός πρέπει να ενεργοποιείται, όταν δύο τουλάχιστον από τα τρία ελεγχόμενα μεγέθη υπερβούν τα προκαθορισμένα όρια.

Εργασία:

1. Να κατασκευάσετε τον Πίνακα αληθείας του προβλήματος.
2. Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A , B και C .
3. Χρησιμοποιώντας χάρτη Karnaugh να απλοποιήσετε τη συνάρτηση εξόδου.
4. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών, με βάση την προτεραιότητα των πράξεων της απλοποιημένης συνάρτησης εξόδου.
5. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.
6. Να σχεδιάσετε το κύκλωμα ενσωμάτωσης.
7. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
8. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά.

ΥΛΟΠΟΙΗΣΗ ΣΥΝΔΥΑΣΤΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ ΜΕ ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ

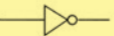
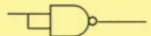

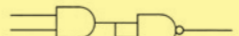
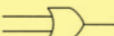
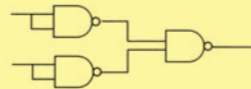
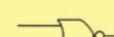
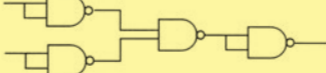
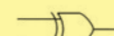
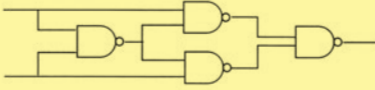
Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να σχεδιάζετε και να κατασκευάζετε όλες τις λογικές πύλες χρησιμοποιώντας πύλες NAND.
- Να σχεδιάζετε και να κατασκευάζετε συνδυαστικά κυκλώματα χρησιμοποιώντας πύλες NAND.

Υλοποίηση πυλών με πύλες NAND

Στον Πίνακα Ε.6.1 παρουσιάζεται η υλοποίηση των λογικών πυλών χρησιμοποιώντας πύλες NAND.

Πίνακας Ε.6.1 Λογικές πύλες με τη χρήση πυλών NAND

NOT 	
AND 	
OR 	
NOR 	
XOR 	

Εργασία:

1. Με βάση τον Πίνακα Ε.6.1, ο οποίος δείχνει τα ισοδύναμα κυκλώματα των λογικών πυλών υλοποιημένα με πύλες NAND, να σχεδιάσετε το κύκλωμα ενσυσμμάτωσης για την πραγματοποίηση, χρησιμοποιώντας μόνο πύλες NAND των

ισοδύναμων κυκλωμάτων των λογικών πυλών NOT, AND, OR, NOR και XOR.

2. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

3. Να δώσετε όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων στις εισόδους και να συμπληρώσετε τους Πίνακες Αληθείας των ισοδύναμων κυκλωμάτων.

4. Να ελέγξετε αν οι ισοδύναμες πύλες που κατασκευάσατε λειτουργούν σωστά, συγκρίνοντας τους παραπάνω Πίνακες Αληθείας με τους Πίνακες Αληθείας των λογικών πυλών.

Υλοποίηση συνδυαστικών κυκλωμάτων με πύλες NAND

Πρόβλημα:

Να σχεδιάσετε και να κατασκευάσετε ένα συνδυαστικό κύκλωμα με δύο εισόδους A και B και μία έξοδο Y με συνάρτηση εξόδου

$$Y = \bar{A} + B \cdot C$$

χρησιμοποιώντας μόνο πύλες NAND.

Εργασία:

1. Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας πύλες NOT, AND και OR.

2. Να αντικαταστήσετε τις πύλες NOT, AND και OR με τα ισοδύναμα κυκλώματα πυλών NAND.

3. Να διαγράψετε τυχόν δύο συνεχόμενες πύλες NAND με βραχύκυκλωμένες εισόδους.

4. Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NAND.

5. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.

6. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.

7. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

8. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά.

ΣΥΓΚΡΙΤΕΣ ΜΕΓΕΘΟΥΣ ΔΥΑΔΙΚΩΝ ΑΡΙΘΜΩΝ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

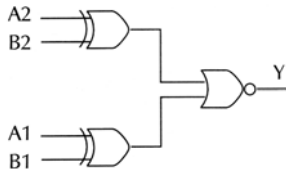
- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων (Ο.Κ.) που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να σχεδιάζετε και να κατασκευάζετε συγκριτές μεγέθους δυαδικών αριθμών με πύλες και με ΟΚ.
- Να ελέγχετε τη σωστή λειτουργία των συγκριτών μεγέθους δυαδικών αριθμών που σχεδιάσατε και κατασκευάσατε.

Συγκριτής μεγέθους δύο 2-bits δυαδικών αριθμών με πύλες

Εργασία:

1. Το συνδυαστικό κύκλωμα του Σχήματος Ε.7.1 είναι ένας συγκριτής μεγέθους δύο 2-bits δυαδικών αριθμών με πύλες. Το κύκλωμα έχει εισόδους τους δύο 2-bits δυαδικούς αριθμούς $A=A_2A_1$ και $B=B_2B_1$ και μία έξοδο Y .

Να μελετήσετε το κύκλωμα. Ποια είναι η λογική κατάσταση της εξόδου Y όταν οι δύο 2-bits δυαδικοί αριθμοί είναι ίσοι ($B=A$);



Σχήμα Ε.7.1 Συγκριτής μεγέθους δύο 2-bits δυαδικών αριθμών με πύλες

2. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.
3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Να θέσετε διαδοχικά στις εισόδους του κυκλώματος:
 - α) $B_2B_1=10$ και $A_2A_1=00$
 - β) $B_2B_1=01$ και $A_2A_1=01$
 - γ) $B_2B_1=00$ και $A_2A_1=11$

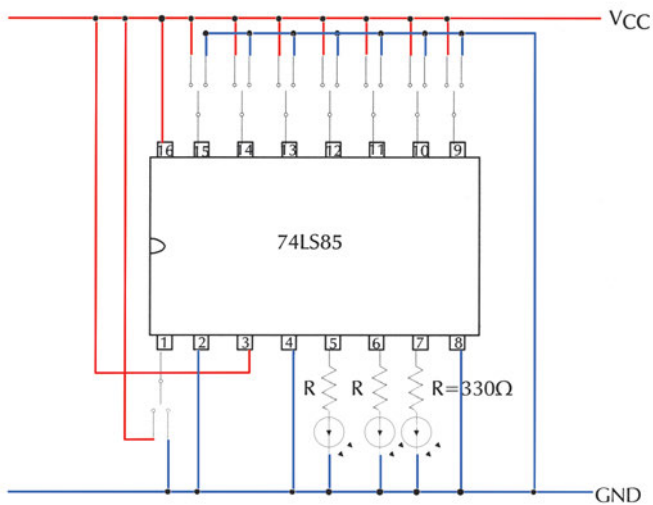
Να συμπληρώσετε τον παρακάτω Πίνακα παρατηρώντας το LED της εξόδου Y .

B2	B1	A2	A1	Y
1	0	0	0	
0	1	0	1	
0	0	1	1	

6. Να διατυπώσετε τα συμπεράσματά σας.

Συγκριτής μεγέθους 4-bits δυαδικών αριθμών με Ο.Κ.

Στο Σχήμα Ε.7.2 παρουσιάζεται το ολοκληρωμένο κύκλωμα 74LS85 που είναι συγκριτής μεγέθους δύο 4-bits δυαδικών αριθμών.



Σχήμα Ε.7.2 Συγκριτής μεγέθους δύο 4-bits δυαδικών αριθμών με Ο.Κ.

Το Ο.Κ. έχει εισόδους τους δύο 4-bits δυαδικούς αριθμούς $B=B_3B_2B_1B_0$ και $A=A_3A_2A_1A_0$ και τρεις εξόδους που αντιστοιχούν στις συγκρίσεις $A < B$, $A = B$ και $A > B$.

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του Ο.Κ. που θα χρησιμοποιήσετε στην άσκηση (π.χ. 74LS85).
2. Να μελετήσετε το κύκλωμα του Σχήματος Ε.7.2.
3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Να θέσετε διαδοχικά στις εισόδους του κυκλώματος:

α) B3B2B1B0=1100 και A3A2A1A0=1001

β) B3B2B1B0=0001 και A3A2A1A0=0001

γ) B3B2B1B0=0010 και A3A2A1A0=1000

Να συμπληρώσετε τον παρακάτω Πίνακα.

B3	B2	B1	B0	A3	A2	A1	A0	A<B	A=B	A>B
1	1	0	0	1	0	0	1			
0	0	0	1	0	0	0	1			
0	0	1	0	1	0	0	0			

5. Να διατυπώσετε τα συμπεράσματά σας.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 8

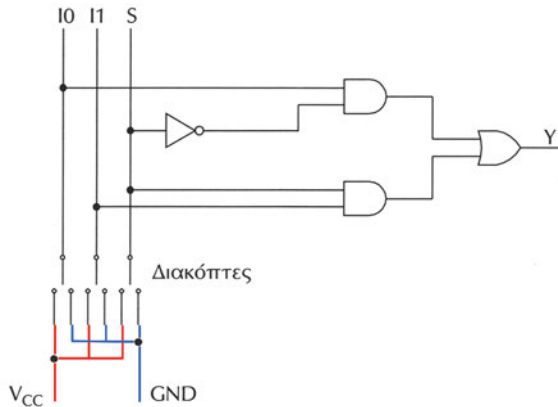
ΠΟΛΥΠΛΕΚΤΕΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να μελετάτε τα φύλλα δεδομένων (data sheets) των Ο.Κ. κυκλωμάτων που θα χρησιμοποιηθούν στην άσκηση.
- Να σχεδιάζετε και να κατασκευάζετε πολυπλέκτες 2x1 και 4x1 με πύλες.
- Να ελέγχετε τη σωστή λειτουργία των πολυπλεκτών που σχεδιάσατε και κατασκευάσατε.

Πολυπλέκτης 2x1

Στο Σχήμα Ε.8.1 παρουσιάζεται το κύκλωμα του Πολυπλέκτη 2x1 με πύλες.



Σχήμα Ε.8.1 Πολυπλέκτης 2x1 με πύλες

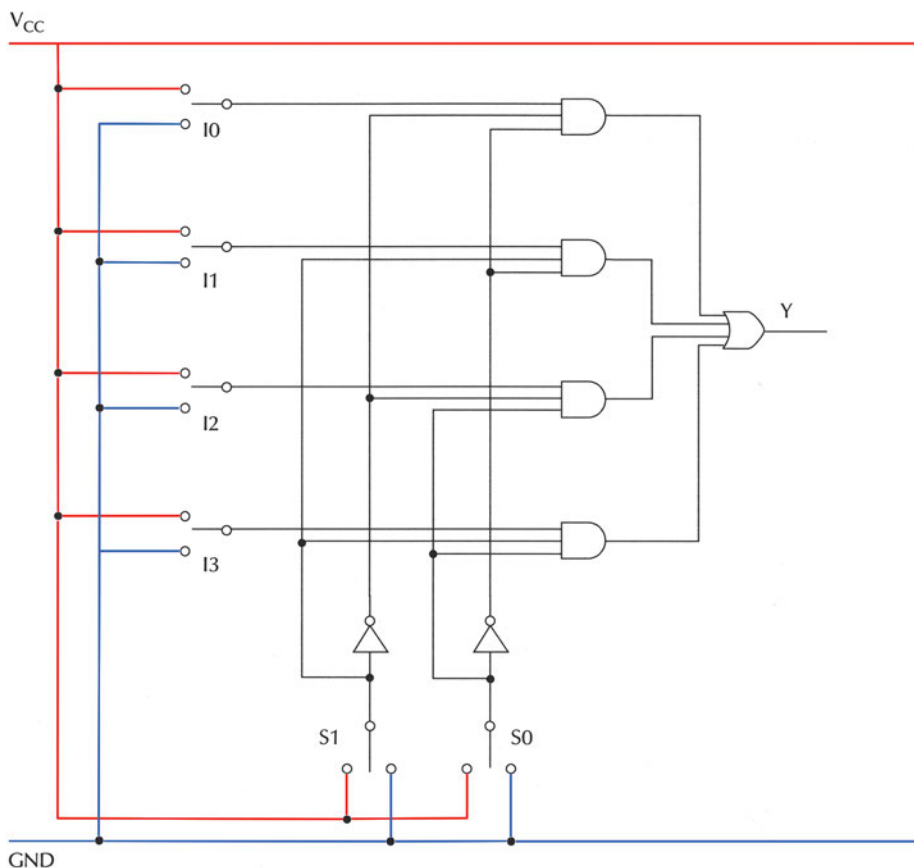
Εργασία:

1. Να κατασκευάσετε τον Πίνακα αληθείας του Πολυπλέκτη 2x1.
2. Να γράψετε την συνάρτηση εξόδου Y του Πολυπλέκτη ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου, που είναι οι εισοδοί I0 και I1 του Πολυπλέκτη και η επιλογή S του Πολυπλέκτη.
3. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών με βάση την προτεραιότητα των πράξεων της συνάρτησης εξόδου.
4. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.

5. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.
6. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
7. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά, δηλαδή αν επαληθεύει τον Πίνακα αληθείας του Πολυπλέκτη.

Πολυπλέκτης 4x1

Στο Σχήμα Ε.8.2 παρουσιάζεται το κύκλωμα του Πολυπλέκτη 4x1 με πύλες.



Σχήμα Ε.8.2 Πολυπλέκτης 4x1 με πύλες

Εργασία:

1. Να κατασκευάσετε τον Πίνακα αληθείας του Πολυπλέκτη 4x1.
2. Να γράψετε την συνάρτηση εξόδου Y του Πολυπλέκτη ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου, που είναι οι εισόδοι I0, I1, I2 και I3 του

Πολυπλέκτη και οι επιλογές S1 και S0 του Πολυπλέκτη.

3. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών με βάση την προτεραιότητα των πράξεων της συνάρτησης εξόδου.

4. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.

5. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.

6. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

7. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά, δηλαδή αν επαληθεύει τον Πίνακα αληθείας του Πολυπλέκτη.

8. Να χρησιμοποιήσετε τον πολυπλέκτη που κατασκευάσατε για να υλοποιήσετε την λογική συνάρτηση $Y(A,B) = \bar{A} \cdot B$

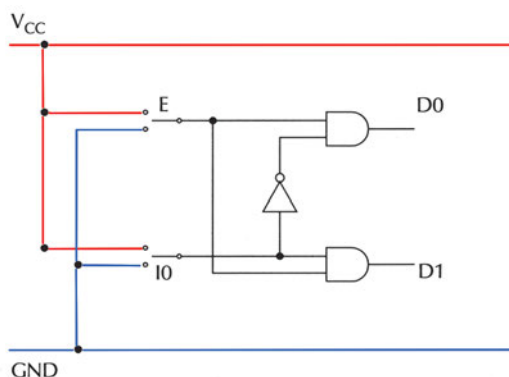
ΑΠΟΠΟΥΠΛΕΚΤΕΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να μελετάτε τα φύλλα δεδομένων (data sheets) των Ο.Κ. κυκλωμάτων που θα χρησιμοποιηθούν στην άσκηση.
- Να σχεδιάζετε και να κατασκευάζετε αποπολυπλέκτες 1x2 και 1x4 με πύλες.
- Να ελέγχετε τη σωστή λειτουργία των πολυπλεκτών που σχεδιάσατε και κατασκευάσατε.

Αποπολυπλέκτης 1x2

Στο Σχήμα Ε.9.1 παρουσιάζεται το κύκλωμα του Αποπολυπλέκτη 1x2 με πύλες.



Σχήμα Ε.9.1 Αποπολυπλέκτης 1x2 με πύλες

Εργασία:

1. Να κατασκευάσετε τον Πίνακα αληθείας του Αποπολυπλέκτη 1x2.

Προσοχή: στον Αποπολυπλέκτη αυτόν, όλες οι έξοδοι που δεν επιλέγονται τίθενται σε λογική κατάσταση "0".

2. Να γράψετε τις συναρτήσεις εξόδου D0 και D1 του Αποπολυπλέκτη αν E είναι η είσοδος του Αποπολυπλέκτη και I0 η γραμμή επιλογής του Αποπολυπλέκτη.

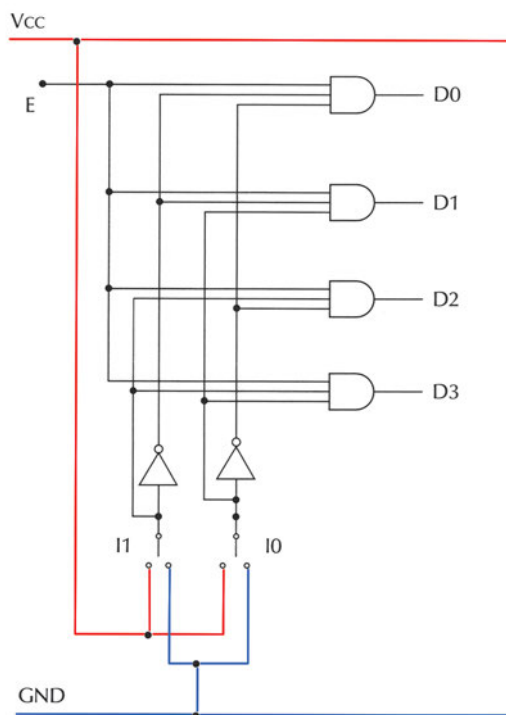
3. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών με βάση την προτεραιότητα των πράξεων της συνάρτησης εξόδου.

4. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.

5. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.
6. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
7. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά, δηλαδή αν επαληθεύει τον Πίνακα αληθείας του Αποπολυπλέκτη.

Αποπολυπλέκτης 1x4

Στο Σχήμα Ε.9.2 παρουσιάζεται το κύκλωμα του Αποπολυπλέκτη 1x4 με πύλες.



Σχήμα Ε.9.2 Αποπολυπλέκτης 1x4 με πύλες

Εργασία:

1. Να κατασκευάσετε τον Πίνακα αληθείας του Αποπολυπλέκτη 1x4.

Προσοχή: στον Αποπολυπλέκτη αυτόν, όλες οι έξοδοι που δεν επιλέγονται τίθενται σε λογική κατάσταση “0”.

2. Να γράψετε τις συναρτήσεις εξόδου D0, D1, D2 και D3 του Αποπολυπλέκτη

αν Ε είναι η είσοδος του Αποπολυπλέκτη και I1, I0 οι γραμμές επιλογής του Αποπολυπλέκτη.

3. Να σχεδιάσετε το κύκλωμα όπου να φαίνονται τα επίπεδα των πυλών με βάση την προτεραιότητα των πράξεων της συνάρτησης εξόδου.

4. Να επιλέξετε τα Ο.Κ. που απαιτούνται για την πραγματοποίηση του κυκλώματος.

5. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης.

6. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

7. Να ελέγξετε αν το κύκλωμα που κατασκευάσατε λειτουργεί σωστά, δηλαδή αν επαληθεύει τον Πίνακα αληθείας του Αποπολυπλέκτη.

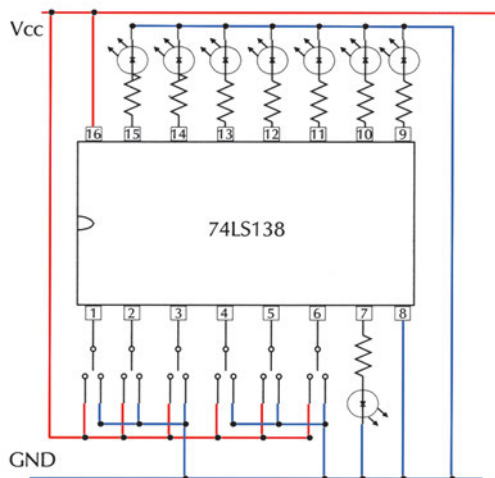
ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να μελετάτε τα φύλλα δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων που θα χρησιμοποιηθούν στην άσκηση.
- Να σχεδιάζετε και να κατασκευάζετε κυκλώματα με αποκωδικοποιητές.
- Να ελέγχετε τη σωστή λειτουργία των κυκλωμάτων, που σχεδιάσατε και κατασκευάσατε.
- Να σχεδιάζετε και να κατασκευάζετε συνδυαστικά κυκλώματα χρησιμοποιώντας αποκωδικοποιητές.

Αποκωδικοποιητής 3x8

Στο Σχήμα Ε.10.1 παρουσιάζεται το ολοκληρωμένο κύκλωμα 74LS138 που μπορεί να λειτουργήσει ως Αποκωδικοποιητής 3x8.



Σχήμα Ε. 10.1 Αποκωδικοποιητής 3x8 με το ολοκληρωμένο κύκλωμα 74LS138

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του ολοκληρωμένου κυκλώματος 74LS138. Να δώσετε ιδιαίτερη προσοχή στη λογική κατάσταση ενεργοποίησης των εισόδων-εξόδων: η κατάσταση LOW (λογικό "0") συμβολίζεται με ένα "κυκλάκι" στον αντίστοιχο ακροδέκτη (pin).

2. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
3. Να θέσετε στις εισόδους του αποκωδικοποιητή $C=1$, $B=1$ και $A=1$.

Να καταγράψετε στον Πίνακα E.10.1 τις λογικές καταστάσεις των εξόδων όταν:

- η είσοδος ενεργοποίησης $G1$ (pin 6) είναι απενεργοποιημένη $G1=0$
- η είσοδος ενεργοποίησης $G1$ (pin 6) είναι ενεργοποιημένη $G1=1$ και ταυτόχρονα οι εισοδοί ενεργοποίησης $G2A = G2B = “0”$.

Πίνακας E.10.1 Η λειτουργία της εισόδου ενεργοποίησης $G1$

G1	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	1	1	1								
1	1	1	1								

Να εξηγήσετε τη διαφορά που υπάρχει στις λογικές καταστάσεις των εξόδων.

Όταν μία έξοδος είναι ενεργοποιημένη το αντίστοιχο LED είναι αναμμένο ή σβηστό; Γιατί συμβαίνει αυτό;

4. Να ενεργοποιήσετε όλες τις εισόδους ενεργοποίησης θέτοντας $G1=1$, $G2A=0$ και $G2B=0$. Να δώσετε όλες τις δυνατές λογικές καταστάσεις στις εισόδους C , B και A και παρατηρώντας κάθε φορά την κατάσταση των εξόδων να συμπληρώσετε τον Πίνακα E.10.2 που είναι ο Πίνακας Αληθείας του κυκλώματος.

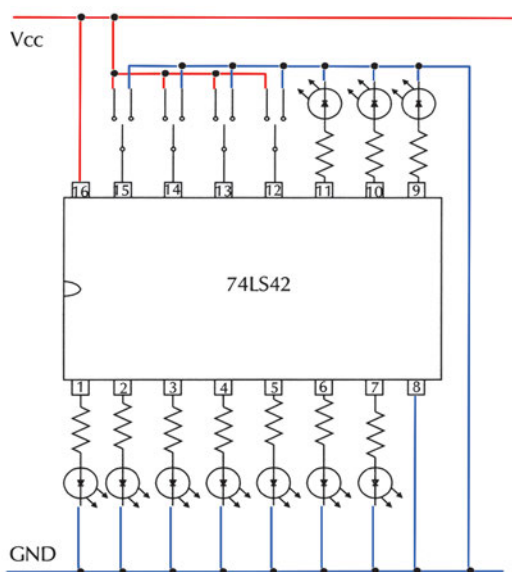
Πίνακας E.10.2 Πίνακας Αληθείας του κυκλώματος

C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

5. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν ο αποκωδικοποιητής λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα αληθείας του κυκλώματος με τον πίνακα αληθείας του ολοκληρωμένου κυκλώματος 74LS138. Να διατυπώσετε τα συμπεράσματά σας.

Αποκωδικοποιητής από BCD σε δεκαδικό

Στο Σχήμα E.10.2 παρουσιάζεται το ολοκληρωμένο κύκλωμα 74LS42 που είναι Αποκωδικοποιητής από BCD σε δεκαδικό.



Σχήμα E.10.2 Αποκωδικοποιητής από BCD σε δεκαδικό με το ολοκληρωμένο κύκλωμα 74LS42

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του ολοκληρωμένου κυκλώματος 74LS42.
2. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
3. Να δώσετε όλες τις δυνατές λογικές καταστάσεις στις εισόδους D, C, B και A και παρατηρώντας κάθε φορά την κατάσταση των εξόδων να συμπληρώσετε τον Πίνακα E.10.3 που είναι ο Πίνακας Αληθείας του κυκλώματος.
(Προσοχή στον τρόπο ενεργοποίησης των εξόδων).

Πίνακας Ε.10.3 Πίνακας Αληθείας του κυκλώματος

BCD ΕΙΣΟΔΟΙ				ΕΞΟΔΟΙ									
D	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9
0	0	0	0										
0	0	0	1										
0	0	1	0										
0	0	1	1										
0	1	0	0										
0	1	0	1										
0	1	1	0										
0	1	1	1										
1	0	0	0										
1	0	0	1										
1	0	1	0										
1	0	1	1										
1	1	0	0										
1	1	0	1										
1	1	1	0										
1	1	1	1										

4. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν ο αποκωδικοποιητής λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα αληθείας του κυκλώματος με τον πίνακα αληθείας του ολοκληρωμένου κυκλώματος 74LS42.

Ποια είναι η λογική κατάσταση των εξόδων όταν στις εισόδους του αποκωδικοποιητή εφαρμοστεί κωδικός απαγορευμένος για τον BCD κώδικα (από 1010 έως 1111);

Να διατυπώσετε τα συμπεράσματά σας.

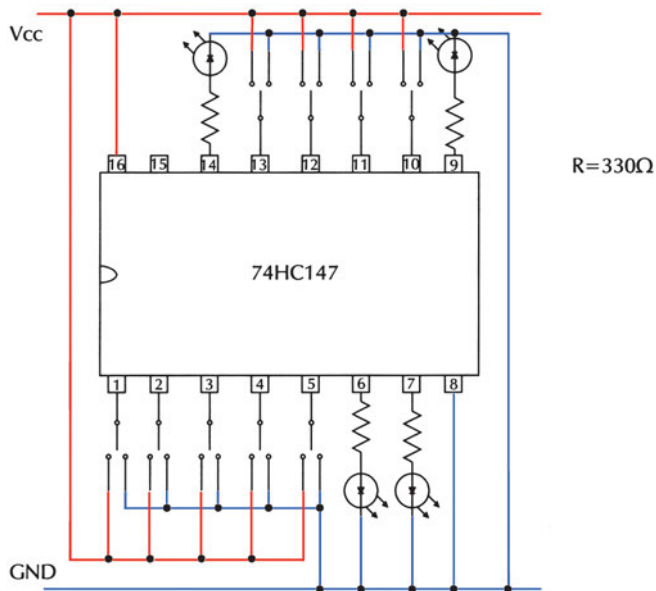
ΚΩΔΙΚΟΠΟΙΗΤΕΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να μελετάτε τα φύλλα δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων που θα χρησιμοποιηθούν στην άσκηση.
- Να σχεδιάζετε και να κατασκευάζετε κυκλώματα με κωδικοποιητές.
- Να ελέγχετε τη σωστή λειτουργία των κυκλωμάτων, που σχεδιάσατε και κατασκεύασατε.

Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD με το Ο.Κ. 74HC147

Στο Σχήμα Ε.11.1 παρουσιάζεται το ολοκληρωμένο κύκλωμα 74HC147 που είναι Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD.



Σχήμα Ε.11.1 Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD με το ΟΚ 74HC147

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του Ο.Κ. 74HC147.

Να προσέξετε τη λογική κατάσταση ενεργοποίησης των εισόδων-εξόδων (η LOW κατάσταση ενεργοποίησης συμβολίζεται με ένα “κυκλάκι” στον αντίστοιχο ακροδέκτη).

2. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

3. Να δώσετε όλες τις δυνατές λογικές καταστάσεις στις εισόδους και παρατηρώντας κάθε φορά την κατάσταση των εξόδων να συμπληρώσετε τον Πίνακα Ε.11.1. που είναι ο Πίνακας Αληθείας του κυκλώματος.

Πίνακας Ε.11.1 Πίνακας Αληθείας του κυκλώματος

I1	I2	I3	I4	I5	I6	I7	I8	I9	D	C	B	A
1	1	1	1	1	1	1	1	1				
X	X	X	X	X	X	X	X	0				
X	X	X	X	X	X	X	0	1				
X	X	X	X	X	X	0	1	1				
X	X	X	X	X	0	1	1	1				
X	X	X	X	0	1	1	1	1				
X	X	X	0	1	1	1	1	1				
X	X	0	1	1	1	1	1	1				
X	0	1	1	1	1	1	1	1				
0	1	1	1	1	1	1	1	1				

4. Να ελέγξετε, χρησιμοποιώντας τα φύλλα δεδομένων (data sheets), αν ο κωδικοποιητής λειτουργεί σωστά συγκρίνοντας τον παραπάνω πίνακα αληθείας του κυκλώματος με τον πίνακα αληθείας του ολοκληρωμένου κυκλώματος 74HC147.

5. Να ενεργοποιήσετε **ταυτόχρονα** δύο εισόδους. Σε ποια από τις δύο αντιστοιχεί ο κωδικός που εμφανίζεται στις εξόδους; Γιατί συμβαίνει αυτό;

6. Να διατυπώσετε τα συμπεράσματά σας.

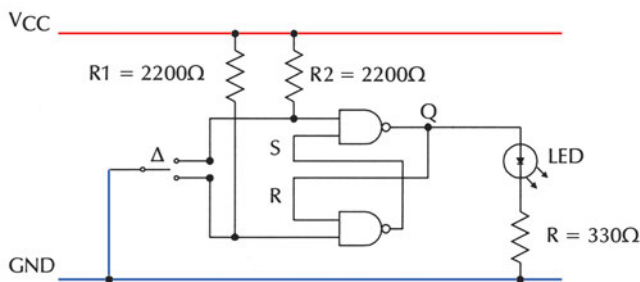
ΜΑΝΤΑΛΩΤΕΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να μελετάτε τα φύλλα δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα ολοκληρωμένα κυκλώματα.
- Να σχεδιάζετε και να κατασκευάζετε μανταλωτές με πύλες NAND και μανταλωτές με πύλες NOR.
- Να ελέγχετε τη σωστή λειτουργία των κυκλωμάτων, που σχεδιάσατε και κατασκευάσατε.

Μανταλωτής με πύλες NAND

Στο Σχήμα Ε.12.1 παρουσιάζεται το κύκλωμα του μανταλωτή με πύλες NAND.



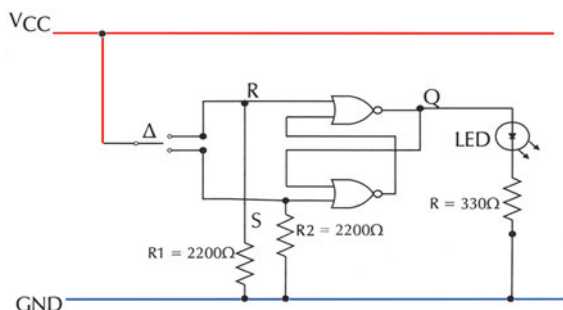
Σχήμα Ε.12.1 Μανταλωτής με πύλες NAND

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του ολοκληρωμένου κυκλώματος που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS00).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του ολοκληρωμένου κυκλώματος. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης και να συνδέσετε LED στην έξοδο Q.
3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Με το διακόπτη Δ να δώσετε “0” διαδοχικά στις εισόδους S και R και να σχεδιάσετε την κυματομορφή της εξόδου Q παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”).

Μανταλωτής με πύλες NOR

Στο Σχήμα Ε.12.2 παρουσιάζεται το κύκλωμα του μανταλωτή με πύλες NOR.



Σχήμα Ε.12.2 Μανταλωτής με πύλες NOR

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του ολοκληρωμένου κυκλώματος που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS02).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του ολοκληρωμένου κυκλώματος. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης και να συνδέσετε LED στην έξοδο Q.
3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Με το διακόπτη Δ να δώσετε “1” διαδοχικά στις εισόδους S και R και να σχεδιάσετε την κυματομορφή της εξόδου Q παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”).

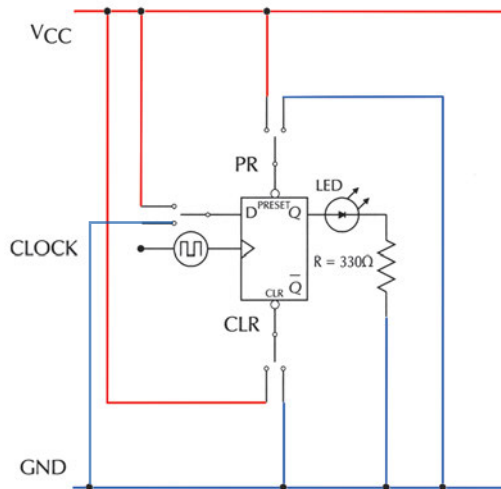
FLIP-FLOPS

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να μελετάτε τα φύλλα δεδομένων (data sheets) των ολοκληρωμένων κυκλωμάτων που θα χρησιμοποιηθούν στην άσκηση.
- Να γνωρίζετε τη λειτουργία των ασύγχρονων εισόδων των flip-flops.
- Να ελέγχετε τη σωστή λειτουργία των flip-flops.

13.1 D flip-flop

Στο Σχήμα Ε.13.1 παρουσιάζεται το κύκλωμα του D flip-flop.



Σχήμα Ε.13.1 D flip-flop

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του ολοκληρωμένου κυκλώματος που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS74).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του ολοκληρωμένου κυκλώματος. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης και να συνδέσετε LED στην έξοδο Q.
3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Στην είσοδο CLK (ρολόι) του flip-flop να συνδέσετε γεννήτρια παλμών ρολογιού (CLOCK) με πολύ χαμηλή συχνότητα (μπορεί να χρησιμοποιηθεί και ματαλωτής).

5. Να **απενεργοποιήσετε** τις ασύγχρονες εισόδους PR (PRESET) και CLR (CLEAR) του flip-flop. Να δώσετε ιδιαίτερη προσοχή στη λογική κατάσταση ενεργοποίησης των ασύγχρονων εισόδων: η κατάσταση LOW (λογικό “0”) συμβολίζεται με ένα “κυκλάκι” στον αντίστοιχο ακροδέκτη (pin).

6. Να δώσετε διαδοχικά όλες τις δυνατές λογικές καταστάσεις στην είσοδο D. Εφαρμόζοντας παλμούς στην είσοδο CLK να διατυπώσετε το συμπέρασμά σας για τη συμπεριφορά της εξόδου Q παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”).

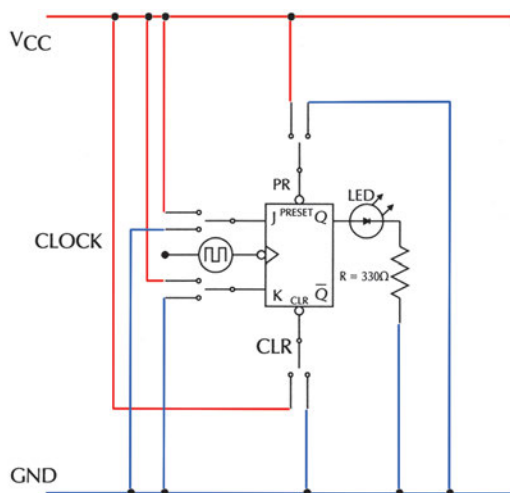
Να συμπληρώσετε τον Πίνακα E.13.1 που είναι ο Χαρακτηριστικός Πίνακας του D flip-flop.

Πίνακας E.13.1 Χαρακτηριστικός Πίνακας D flip-flop

Είσοδος	Έξοδος
D	Q
0	
1	

J-K flip-flop

Στο Σχήμα E.13.2 παρουσιάζεται το κύκλωμα του J-K flip-flop.



Σχήμα E.13.2 J-K flip-flop

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων του ολοκληρωμένου κυκλώματος που θα χρησιμοποιηθεί στην άσκηση (π.χ. 74LS112).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του ολοκληρωμένου κυκλώματος. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης και να συνδέσετε LED στην έξοδο Q.

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

4. Στην είσοδο CLK (ρολόι) του flip-flop να συνδέσετε γεννήτρια παλμών ρολογιού (CLOCK) με πολύ χαμηλή συχνότητα (μπορεί να χρησιμοποιηθεί και ματαλωτής).

5. Να **απενεργοποιήσετε** τις ασύγχρονες εισόδους PR (PRESET) και CLR (CLEAR) του flip-flop. Να δώσετε ιδιαίτερη προσοχή στη λογική κατάσταση ενεργοποίησης των ασύγχρονων εισόδων: η κατάσταση LOW (λογικό “0”) συμβολίζεται με ένα “κυκλάκι” στον αντίστοιχο ακροδέκτη (pin).

6. Να δώσετε διαδοχικά όλες τις δυνατές λογικές καταστάσεις στις εισόδους J και K. Εφαρμόζοντας παλμούς στην είσοδο CLK να διατυπώσετε το συμπέρασμά σας για τη συμπεριφορά της εξόδου Q παρατηρώντας το LED (αναμμένο=“1” ή σβηστό=“0”).

Να συμπληρώσετε τον Πίνακα E.13.2 που είναι ο Χαρακτηριστικός Πίνακας του J-K flip flop.

Πίνακας E.13.2 Χαρακτηριστικός Πίνακας J-K flip-flop

Είσοδοι		Έξοδος
J	K	Q
0	0	
0	1	
1	0	
1	1	

7. Εφαρμόζοντας παλμούς στην είσοδο CLK να παρατηρήσετε αν μεταβάλλεται η κατάσταση της εξόδου Q στις ακόλουθες περιπτώσεις:

– η είσοδος PR (PRESET) είναι ενεργοποιημένη και η είσοδος CLR (CLEAR) είναι απενεργοποιημένη

– η είσοδος CLR (CLEAR) είναι ενεργοποιημένη και η είσοδος PR (PRESET) είναι απενεργοποιημένη

Ποια είναι η λειτουργία των ασύγχρονων εισόδων PRESET και CLEAR του flip-flop;

8. Να κατασκευάσετε ένα T flip-flop χρησιμοποιώντας ένα J-K flip-flop και να ελέγξετε τη λειτουργία του.

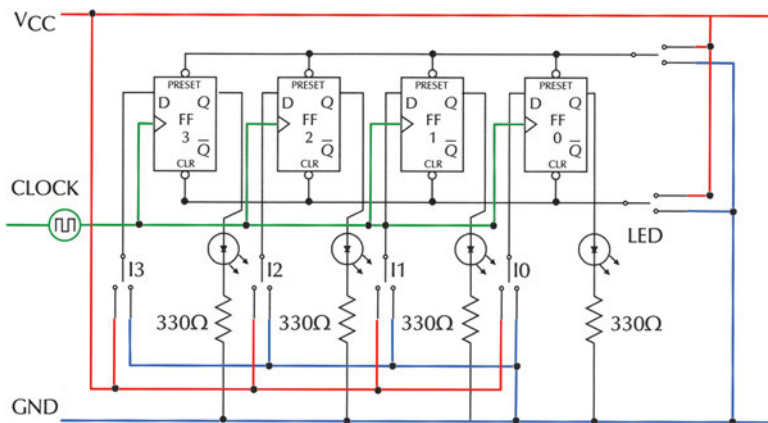
ΚΑΤΑΧΩΡΗΤΗΣ ΜΕ FLIP-FLOPS

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να σχεδιάζετε και να κατασκευάζετε κυκλώματα καταχωρητών.
- Να ελέγχετε αν λειτουργούν σωστά οι καταχωρητές που κατασκευάσατε.

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ 74LS74).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε LEDs στις εξόδους Q. Σχεδιάστε το κύκλωμα ενσυρμάτωσης. (βλέπε σχήμα Ε 14.1).
3. Στις εισόδους clock των flip-flops (όλες μεταξύ τους βραχυκυκλωμένες) να συνδέσετε γεννήτρια παλμών ρολογιού με πολύ χαμηλή συχνότητα (μπορεί να χρησιμοποιηθεί και μανταλωτής).
4. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.



Σχήμα Ε 14.1 Καταχωρητής με D flip-flop

5. Από τα φύλλα δεδομένων του Ο.Κ να δείτε τη λογική κατάσταση με την οποία ενεργοποιούνται οι ασύγχρονες εισόδους PRESET και CLR (CLEAR).

6. Να μηδενίσετε το κύκλωμα (ενεργοποιώντας στιγμιαία τις εισόδους CLR, ενώ οι εισοδοί PRESET είναι απενεργοποιημένες) και μετά να **απενεργοποιήσετε** τις ασύγχρονες εισόδους.

7. Να εφαρμόσετε στις εισόδους I_3, I_2, I_1, I_0 αντιστοίχως λογικές καταστάσεις: 0101. Αλλάζουν οι λογικές καταστάσεις των εξόδων;

8. Να δώσετε έναν παλμό clock (από τη γεννήτρια παλμών ρολογιού). Αλλάζουν τώρα οι λογικές καταστάσεις των εξόδων;

9. Από τα βήματα 7,8 να διατυπώσετε τα συμπεράσματά σας.

10. Εφαρμόζοντας κατάλληλες λογικές καταστάσεις και παλμούς clock να συμπληρώσετε τον παρακάτω πίνακα:

CLEAR	CLOCK	I_3	I_2	I_1	I_0	Q_3	Q_2	Q_1	Q_0
1	↑	0	0	0	0				
1	↑	0	1	0	1				
1	↑	1	1	0	0				
1	↑	1	1	1	1				
1	↑	0	0	0	1				
0	↑	0	0	0	1				

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 15

ΚΑΤΑΧΩΡΗΤΗΣ ΟΛΙΣΘΗΣΗΣ ΜΕ Ο.Κ.

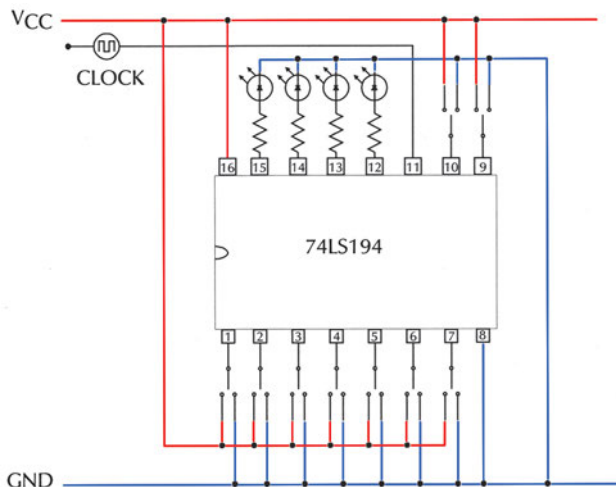
Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να σχεδιάζετε και να κατασκευάζετε κυκλώματα καταχωρητών διαφόρων τύπων.
- Να ελέγχετε αν λειτουργούν σωστά οι καταχωρητές που κατασκευάσατε.

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ 74LS194). Να δώσετε ιδιαίτερη προσοχή στις λογικές καταστάσεις που πρέπει να εφαρμόσετε στις εισόδους S1 και S0, ώστε ο γενικής χρήσης καταχωρητής να λειτουργεί ως PIPO ή SIPO δεξιάς ή αριστερής ολίσθησης.

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) του Ο.Κ και να συνδέσετε διακόπτες στις εισόδους και leds στις εξόδους (βλέπε Σχήμα Ε.15.1).



Σχήμα Ε 15.1 Καταχωρητής με Ο.Κ.

3. Στην είσοδο clock του Ο.Κ να συνδέσετε γεννήτρια παλμών ρολογιού με πολύ χαμηλή συχνότητα (μπορεί να χρησιμοποιηθεί και μανταλωτής).

4. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

5. Δεξιά ολίσθηση

- ☞ Να θέσετε $S1=0$ και $S0=1$ ώστε ο γενικής χρήσης καταχωρητής να λειτουργεί ως SIPO δεξιάς ολίσθησης 4 bits.
- ☞ Να μηδενίσετε τις εξόδους του καταχωρητή, ενεργοποιώντας την είσοδο CLEAR (να τη θέσετε στιγμιαία σε λογική κατάσταση “0” και μετά μόνιμα σε λογική κατάσταση “1”).
- ☞ Να τοποθετήσετε διαδοχικά τα δυαδικά ψηφία 1,1,0,1 στην είσοδο SRSI δίνοντας, μετά την τοποθέτηση του κάθε ψηφίου, έναν παλμό clock.
- ☞ Ποιος δυαδικός αριθμός εμφανίζεται στην έξοδο του καταχωρητή;

6. Αριστερή ολίσθηση

- ☞ Να θέσετε $S1=1$ και $S0=0$ ώστε ο γενικής χρήσης καταχωρητής να λειτουργεί ως SIPO αριστερής ολίσθησης 4 bits.
- ☞ Να μηδενίσετε τις εξόδους του καταχωρητή, ενεργοποιώντας την είσοδο CLEAR (να τη θέσετε στιγμιαία σε λογική κατάσταση “0” και μετά μόνιμα σε λογική κατάσταση “1”).
- ☞ Να τοποθετήσετε διαδοχικά τα δυαδικά ψηφία 1,1,0,1 στην είσοδο SLSI δίνοντας, μετά την τοποθέτηση του κάθε ψηφίου, έναν παλμό clock.
- ☞ Ποιος δυαδικός αριθμός εμφανίζεται στην έξοδο του καταχωρητή;

7. Παράλληλη φόρτωση

- ☞ Να θέσετε $S1=1$ και $S0=1$ ώστε ο γενικής χρήσης καταχωρητής να λειτουργεί ως PIPO 4 bits.
- ☞ Να μηδενίσετε τις εξόδους του καταχωρητή, ενεργοποιώντας την είσοδο CLEAR (να τη θέσετε στιγμιαία σε λογική κατάσταση “0” και μετά μόνιμα σε λογική κατάσταση “1”).
- ☞ Να τοποθετήσετε το δυαδικό αριθμό 0101 στις εισόδους ABCD.
- ☞ Να δώσετε έναν παλμό clock.
- ☞ Ποιος δυαδικός αριθμός εμφανίζεται στην έξοδο του καταχωρητή;

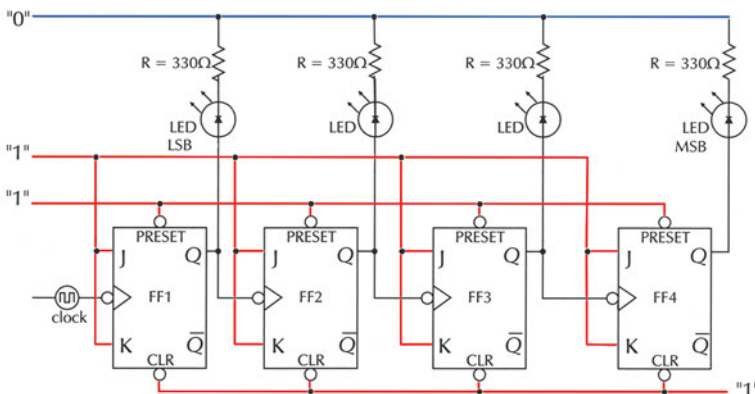
ΑΠΑΡΙΘΜΗΤΕΣ ΜΕ FLIP-FLOPS

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Χρησιμοποιώντας flip-flops να κατασκευάζετε απαριθμητές ορισμένου modulo.
- Να ελέγχετε τη σωστή λειτουργία των απαριθμητών.

Εργασία: Ασύγχρονος απαριθμητής modulo 16

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) του Ο.Κ. που θα χρησιμοποιηθεί στην άσκηση (π.χ 74LS112).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε LED σε κάθε μία έξοδο. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης (βλέπε σχήμα Ε.16.1).
3. Στην είσοδο clock του πρώτου flip-flop (LSB) να συνδέσετε γεννήτρια παλμών ρολογιού με πολύ χαμηλή συχνότητα (μπορεί να χρησιμοποιηθεί και R-S latch).
4. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.



Σχήμα Ε.16.1 Απαριθμητής modulo 16

5. Με τη γεννήτρια παλμών να δώσετε παλμούς στον απαριθμητή και παρατηρώντας το LED (αναμμένο="1" ή σβηστό="0") να συμπληρώσετε τον παρακάτω πίνακα:

Παλμοί clock	Έξοδοι				Κατάσταση απαριθμητή
	Q ₄	Q ₃	Q ₂	Q ₁	
Αρχική κατάσταση	0	0	0	0	0
1	0	0	0	1	1
2					
3					
....					

6. Μελετώντας τον πίνακα να συμπεράνετε αν ο απαριθμητής λειτουργεί σωστά.

7. Από τα φύλλα δεδομένων του Ο.Κ να δείτε τη λογική κατάσταση με την οποία ενεργοποιούνται οι ασύγχρονες εισόδους PRESET και CLEAR.

8. Να δώσετε στις ασύγχρονες εισόδους PRESET τη λογική κατάσταση που τις ενεργοποιεί (ΠΡΟΣΟΧΗ: οι εισόδους CLEAR παραμένουν **απενεργοποιημένες**, δηλαδή σε κατάσταση “1”).

9. Ποιες είναι οι λογικές καταστάσεις των εξόδων Q₄Q₃Q₂Q₁.

10. Με τη γεννήτρια παλμών να δώσετε παλμούς στον απαριθμητή και να παρατηρήσετε αν αλλάζει η κατάσταση των εξόδων Q₄Q₃Q₂Q₁.

11. Να δώσετε στις ασύγχρονες εισόδους CLEAR τη λογική κατάσταση που τις ενεργοποιεί (ΠΡΟΣΟΧΗ: οι εισόδους PRESET να είναι **απενεργοποιημένες**, δηλαδή σε κατάσταση “1”).

12. Ποιες είναι οι λογικές καταστάσεις των εξόδων Q₄Q₃Q₂Q₁.

13. Με τη γεννήτρια παλμών να δώσετε παλμούς στον απαριθμητή και να παρατηρήσετε αν αλλάζει η κατάσταση των εξόδων Q₄Q₃Q₂Q₁.

14. Να διατυπώσετε τα συμπεράσματά σας.

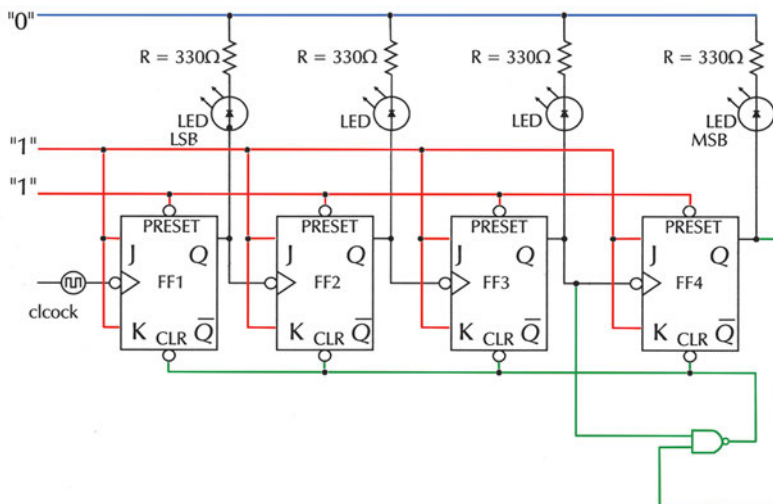
Εργασία: Απαριθμητής modulo 12

1. Αφού μελετήσετε το θεωρητικό μέρος που αναφέρεται στη διαδικασία αλλαγής του modulo, να σχεδιάσετε απαριθμητή modulo 12.

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε LED σε κάθε μία έξοδο. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης (βλέπε σχήμα Ε.16.2).

3. Στην είσοδο clock του πρώτου flip-flop (LSB) να συνδέσετε γεννήτρια παλμών ρολογιού με πολύ χαμηλή συχνότητα (μπορεί να χρησιμοποιηθεί και R-S latch).

4. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.



Σχήμα E.16.2 Απαριθμητής modulo 12

5. Με τη γεννήτρια παλμών να δώσετε παλμούς στον απαριθμητή και παρατηρώντας το LED (αναμμένο="1" ή σβηστό="0") να συμπληρώσετε τον παρακάτω πίνακα:

Παλμοί clock	Έξοδοι				Κατάσταση απαριθμητή
	Q_4	Q_3	Q_2	Q_1	
Αρχική κατάσταση	0	0	0	0	0
1	0	0	0	1	1
2					
3					
...					

6. Μελετώντας τον πίνακα να συμπεράνετε αν ο απαριθμητής λειτουργεί σωστά.

ΑΠΑΡΙΘΜΗΤΕΣ ΜΕ Ο.Κ.

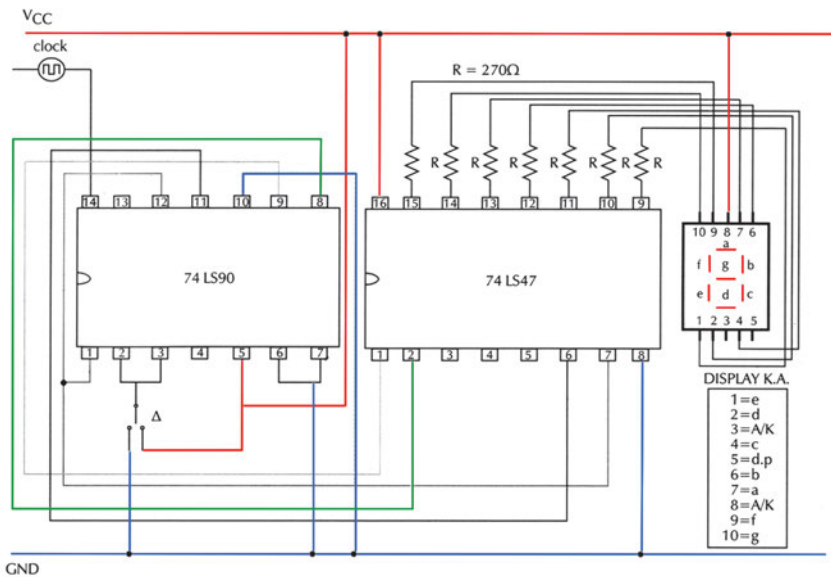
Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Χρησιμοποιώντας Ο.Κ. να κατασκευάζετε απαριθμητές ορισμένου modulo.
- Να κατασκευάζετε απαριθμητές που να μετρούν προς τα πάνω ή προς τα κάτω.
- Να συνδέετε ενδείκτες 7 τμημάτων με τις εξόδους απαριθμητών.
- Να ελέγχετε τη σωστή λειτουργία των απαριθμητών.

Δεκαδικός Απαριθμητής

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση (π.χ 74LS90,74LS47).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε σε κάθε μία έξοδο του μετρητή τις αντίστοιχες εισόδους του αποκωδικοποιητή από BCD σε 7 τμήματα, στις εξόδους του οποίου να συνδέσετε ενδείκτη 7 τμημάτων Κοινής Ανόδου (Κ.Α.).



Σχήμα Ε.17.1 Δεκαδικός απαριθμητής

Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης (βλέπε σχήμα E.17.1).

3. Στην είσοδο clock του μετρητή να συνδέσετε “χειροκίνητη” γεννήτρια παλμών ρολογιού (R-S latch). Ο διακόπτης Δ να συνδεθεί σε “0”.

4. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

5. Με τη γεννήτρια παλμών να δώσετε παλμούς στον απαριθμητή και χρησιμοποιώντας logic probe ή βολτόμετρο, να συμπληρώσετε τον παρακάτω πίνακα:

Αριθμός παλμών που δίνονται από τη γεννήτρια παλμών	Είσοδοι απαριθμητή D C B A	Έξοδοι Αποκωδικοποιητή a b c d e f g	Αριθμός που φαίνεται στον ενδείκτη 7 τμημάτων

6. Να διατυπώσετε τα συμπεράσματά σας.

7. Να αποσυνδέσετε το βραχυκύκλωμα που υπάρχει στους ακροδέκτες 2 και 3 του απαριθμητή, καθώς και το διακόπτη Δ.

8. Να συνδέσετε τους ακροδέκτες 2 και 3 του μετρητή στους ακροδέκτες 8 και 9 του απαριθμητής αντίστοιχα (οι ακροδέκτες 8 και 9 **δεν** αποσυνδέονται από τους ακροδέκτες 2 και 1 του αποκωδικοποιητή από BCD σε 7 τμήματα).

9. Με τη γεννήτρια παλμών ρολογιού (R-S latch) να δώσετε διαδοχικούς παλμούς (τουλάχιστον 15) παρατηρώντας τον ενδείκτη 7 τμημάτων. Ποιο είναι το modulo του μετρητή;

Αμφίδρομος Απαριθμητής

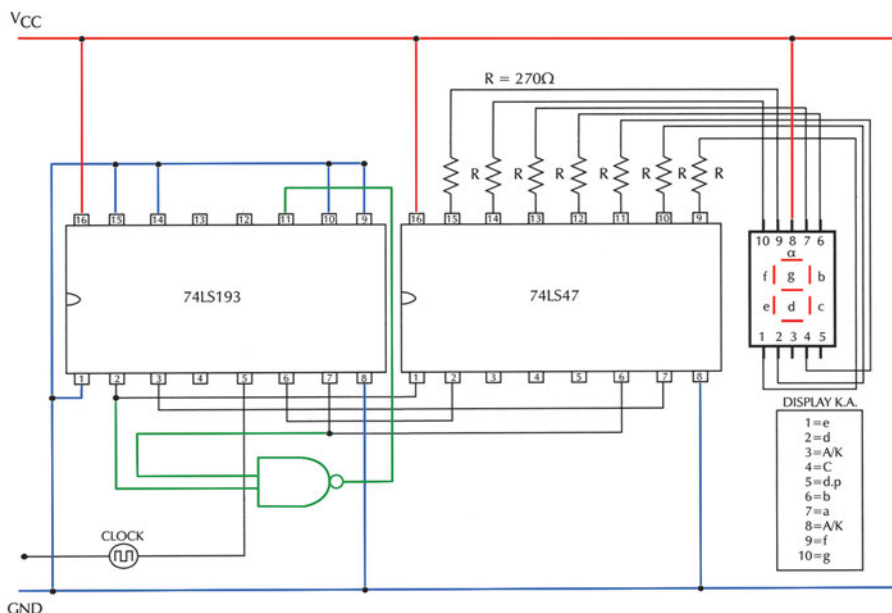
Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση (π.χ 74LS193,74LS47).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε σε κάθε μία έξοδο του μετρητή τις αντίστοιχες εισόδους του αποκωδικοποιητή από BCD σε 7 τμήματα, στις εξόδους του οποίου να συνδέσετε ενδείκτη 7 τμημάτων κοινής ανόδου (ΚΑ). Στον ακροδέκτη 11 του Ο.Κ. 74LS193 να συνδέσετε την έξοδο της πύλης NAND. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης (βλέπε σχήμα E.17.2).

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.

4. Στις εισόδους Α,Β,С,Δ να “τοποθετήσετε” τον δυαδικό αριθμό από τον οποίο θα ξεκινάει η μέτρηση, ενεργοποιώντας την είσοδο παράλληλης φόρτωσης load. Αρχικά να τοποθετηθεί ο δυαδικός αριθμός 0000. (σχήμα E.17.2).



Σχήμα E.17.2 Αμφίδρομος απαριθμητής

5. Με τη γεννήτρια παλμών ρολογιού συνδεδεμένη στην είσοδο COUNT UP, (η είσοδος COUNT DOWN στα +5V), δίνοντας παλμούς να επαληθεύσετε τον κύκλο μέτρησης.

6. Να αποσυνδέσετε τις εισόδους A,B,C,D από το “0” και να “τοποθετήσετε” το δυαδικό αριθμό 0011, από τον οποίο θα ξεκινάει η μέτρηση.

7. Να τροποποιήσετε το κύκλωμα ώστε η είσοδος της πύλης NAND που είναι συνδεδεμένη στον ακροδέκτη 2 του O.K.74LS193 να συνδεθεί στον ακροδέκτη 3 του O.K.74LS193.

8. Με τη γεννήτρια παλμών ρολογιού συνδεδεμένη στην είσοδο COUNT UP, (η είσοδος COUNT DOWN στα +5V), δίνοντας παλμούς να παρατηρήσετε την αλλαγή στη συμπεριφορά του κυκλώματος και να τη δικαιολογήσετε.

9. Να συνδέσετε τις εισόδους της πύλης NAND στους ακροδέκτες 2 και 3 του O.K. 74LS193.

10. Στις εισόδους A,B,C,D να “τοποθετήσετε” τον δυαδικό αριθμό 0110, από τον οποίο θα ξεκινάει η μέτρηση.

11. Με τη γεννήτρια παλμών ρολογιού συνδεδεμένη στην είσοδο COUNT DOWN, (η είσοδος COUNT UP στα +5V), δίνοντας παλμούς να παρατηρήσετε τη συμπεριφορά του κυκλώματος και να τη δικαιολογήσετε.

ΗΜΙΑΘΡΟΙΣΤΗΣ – ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ

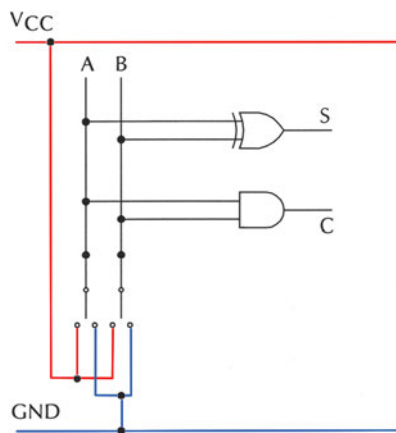
Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να κατασκευάζετε ημιαθροιστές και πλήρεις αθροιστές.
- Να επαληθεύετε πειραματικά τη λειτουργία κυκλωμάτων ημιαθροιστών και πλήρων αθροιστών.

Ημιαθροιστής

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση (π.χ 74LS08, 74LS86).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε LED στις εξόδους. Να σχεδιάσετε το κύκλωμα ενσωμάτωσης του ημιαθροιστή (βλέπε σχήμα E.18.1).
3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.



Σχήμα E.18.1 Κύκλωμα ημιαθροιστή

4. Να δώσετε όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων στις εισόδους και, παρατηρώντας το LED (αναμμένο="1" ή σβηστό="0"), να συμπληρώσετε τον παρακάτω πίνακα:

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ	
A	B	C	S
0	0		
0	1		
1	0		
1	1		

5. Να ελέγξετε αν ο ημιαθροιστής λειτουργεί σωστά, συγκρίνοντας τον παραπάνω πίνακα με τον πίνακα αληθείας του ημιαθροιστή που μάθατε στη θεωρία.

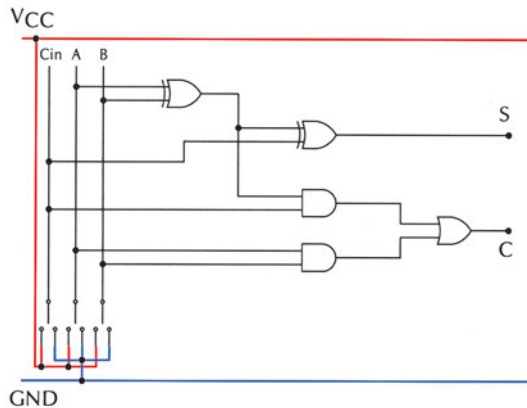
Πλήρης αθροιστής

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση (π.χ 74LS08, 74LS32, 74LS86).

2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ και να συνδέσετε LED στις εξόδους. Να σχεδιάσετε το κύκλωμα ενσυρμάτωσης του πλήρους αθροιστή (βλέπε σχήμα E.18.2).

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.



Σχήμα E.18.2 Κύκλωμα πλήρους αθροιστή

4. Να δώσετε όλους τους δυνατούς συνδυασμούς λογικών καταστάσεων στις εισόδους και, παρατηρώντας το LED(αναμμένο="1" ή σβηστό="0"), να συμπληρώσετε τον παρακάτω πίνακα:

ΕΙΣΟΔΟΙ			ΕΞΟΔΟΙ	
A	B	C _{in}	C	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

5. Να ελέγξετε αν ο πλήρης αθροιστής λειτουργεί σωστά, συγκρίνοντας τον παραπάνω πίνακα με τον πίνακα αληθείας του πλήρους αθροιστή που μάθατε στη θεωρία.

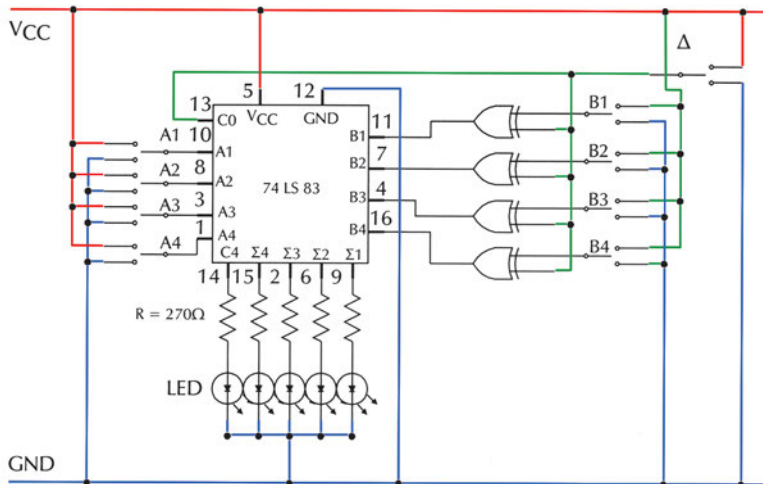
ΑΘΡΟΙΣΤΗΣ - ΑΦΑΙΡΕΤΗΣ ΜΕ Ο.Κ.

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση.
- Να επιλέγετε τα κατάλληλα Ο.Κ.
- Να κατασκευάζετε αθροιστές-αφαιρέτες δυαδικών αριθμών.
- Να επαληθεύετε πειραματικά τη λειτουργία κυκλώματος αθροιστή-αφαιρέτη δυαδικών αριθμών.

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση (π.χ 74LS83, 74LS86).
2. Να σχεδιάσετε το διάγραμμα διασυνδέσεων (connection diagram) των Ο.Κ. και να συνδέσετε LEDs στις εξόδους. Να σχεδιάσετε το κύκλωμα του αθροιστή-αφαιρέτη δυαδικών αριθμών (βλέπε Σχήμα E.19.1).



Σχήμα E.19.1 Κύκλωμα αθροιστή-αφαιρέτη δυαδικών αριθμών

3. Να πραγματοποιήσετε το κύκλωμα σε “bread board”.
4. Να τοποθετήσετε το διακόπτη Δ στην επιλογή “**πρόσθεση**” (λογική κατάσταση “0”), έτσι ώστε το κύκλωμα να είναι σε θέση να κάνει πρόσθεση μη προσημασμένων δυαδικών αριθμών 4 bits.

5. Να τοποθετήσετε τους δυαδικούς αριθμούς 0101 και 0100 στις εισόδους A4A3A2A1 και B4B3B2B1 αντιστοίχως.

6. Με logic probe ή βολτόμετρο να ελέγξετε τις λογικές στάθμες των ακροδεκτών 16, 4, 7, 11 του OK 74LS83. Ποια η σχέση του αριθμού που τοποθετήσατε στις θέσεις B4B3B2B1 με αυτόν που εμφανίζεται αντιστοίχως στους ακροδέκτες 16, 4, 7, 11.

7. Ποια είναι η λογική κατάσταση που εμφανίζεται στις εξόδους C4, Σ4Σ3Σ2Σ1; Είναι σωστό το αποτέλεσμα; Να δικαιολογήσετε την απάντησή σας.

8. Να τοποθετήσετε τους δυαδικούς αριθμούς 1100 και 1001 στις εισόδους A4A3A2A1 και B4B3B2B1 αντιστοίχως.

9. Να επαναλάβετε τα βήματα 6 και 7.

10. Να τοποθετήσετε το διακόπτη Δ στην επιλογή “αφαίρεση” (λογική κατάσταση “1”), έτσι ώστε το κύκλωμα να είναι σε θέση να κάνει αφαίρεση μη προσημασμένων δυαδικών αριθμών 4 bits.

11. Να τοποθετήσετε τους δυαδικούς αριθμούς 0110 και 0011 στις εισόδους A4A3A2A1 και B4B3B2B1 αντιστοίχως.

12. Με logic probe ή βολτόμετρο να ελέγξετε τις λογικές στάθμες των ακροδεκτών 16, 4, 7, 11 του OK 74LS83. Ποια η σχέση του αριθμού που τοποθετήσατε στις θέσεις B4B3B2B1 με αυτόν που εμφανίζεται αντιστοίχως στους ακροδέκτες 16, 4, 7, 11;

13. Ποια είναι η λογική κατάσταση που εμφανίζεται στις εξόδους C4, Σ4Σ3Σ2Σ1; Είναι σωστό το αποτέλεσμα; Να δικαιολογήσετε την απάντησή σας.

14. Να τοποθετήσετε τους δυαδικούς αριθμούς 0101 και 0111 στις εισόδους A4A3A2A1 και B4B3B2B1 αντιστοίχως.

15. Να επαναλάβετε τα βήματα 12 και 13.

16. Να διατυπώσετε τα συμπεράσματά σας.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 20

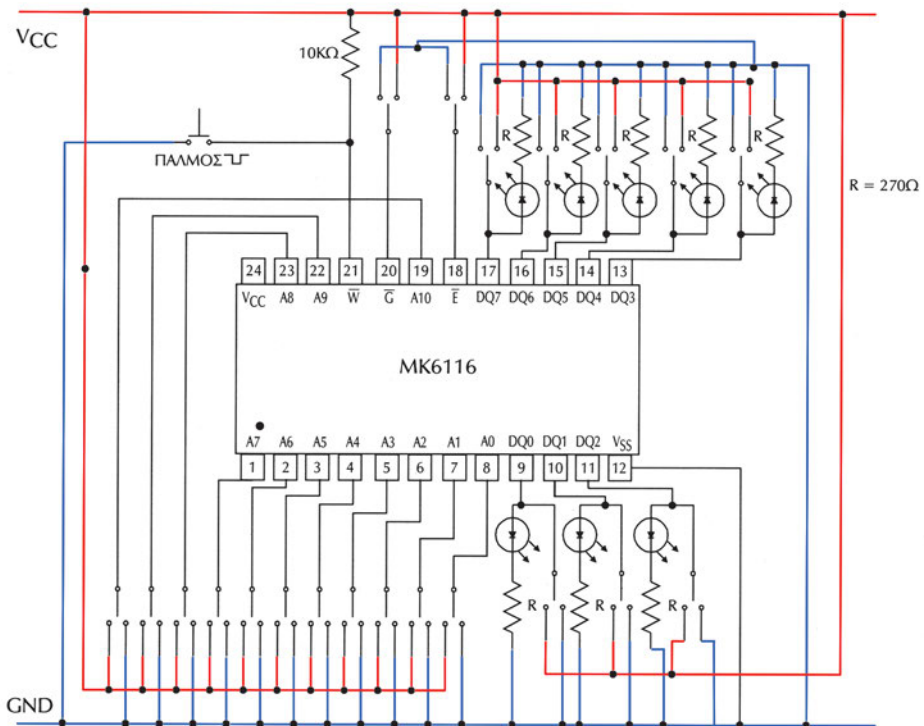
ΕΓΓΡΑΦΗ ΚΑΙ ΑΝΑΓΝΩΣΗ ΜΝΗΜΗΣ RAM

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να διαβάζετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. μνημών που θα χρησιμοποιηθούν στην άσκηση.
- Να γράφετε δεδομένα σε ορισμένη διεύθυνση της μνήμης.
- Να διαβάζετε δεδομένα από ορισμένη διεύθυνση της μνήμης.
- Να ελέγχετε τη λειτουργία μιας στατικής μνήμης RAM.

Εργασία:

1. Να μελετήσετε τα φύλλα δεδομένων (data sheets) των Ο.Κ. που θα χρησιμοποιηθούν στην άσκηση (π.χ. ΜΚ6116).
2. Να πραγματοποιήσετε το κύκλωμα σε “bread board” το κύκλωμα του σχήματος Ε.20.1.



Σχήμα Ε.20.1 Κύκλωμα στατικής μνήμης RAM

3. Να δώσετε λογική κατάσταση “0” στις εισόδους διευθύνσεων A4 ως A10 (αυτό γίνεται γιατί κατά τη διαδικασία της άσκησης οι συγκεκριμένες εισοδοί δεν θα χρησιμοποιηθούν).

Κύκλος εγγραφής

1. Να ενεργοποιήσετε το OK της μνήμης (ακροδέκτης $\bar{E}=0$).
2. Να δώσετε $\bar{G}=1$, ώστε οι εισοδοί/έξοδοι δεδομένων να λειτουργούν ως είσοδοι.
3. Με τους διακόπτες επιλογής **διευθύνσεων μνήμης A3A2A1A0** να ορίσετε τη θέση μνήμης στην οποία θέλετε να εγγράψετε ένα δεδομένο (για παράδειγμα για την πρώτη θέση του πίνακα E.20.1: A3=0, A2=0, A1=0, A0=0).
4. Με τους διακόπτες **εισαγωγής δεδομένων DQ7-DQ0** να τοποθετήσετε, στις αντίστοιχες εισόδους, την προς αποθήκευση λέξη (για παράδειγμα για την πρώτη θέση του πίνακα E.20.1: DQ7=1, DQ6=1, DQ5=1, DQ4=1, DQ3=0, DQ2=0, DQ1=0, DQ0=0).
5. Να δώσετε ένα παλμό στον ακροδέκτη \bar{W} . (η συγκεκριμένη είσοδος είναι μόνιμα “1”, όταν στιγμιαία γίνεται “0” αρχίζει η διαδικασία εγγραφής, και όταν επανέλθει σε “1” τα δεδομένα αποθηκεύονται στην επιλεγμένη θέση μνήμης).
6. Να επαναλάβετε τη διαδικασία των βημάτων 7, 8, 9 για να αποθηκευθούν τα δεδομένα, που φαίνονται στον Πίνακα E.20.1, στις αντίστοιχες θέσεις μνήμης.

Πίνακας E.20.1

ΔΙΕΥΘΥΝΣΕΙΣ ΜΝΗΜΗΣ				ΔΕΔΟΜΕΝΑ							
A3	A2	A1	A0	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
0	0	0	0	1	1	1	1	0	0	0	0
0	0	0	1	0	0	1	1	0	0	1	1
0	0	1	0	1	0	1	0	1	0	1	0
0	1	0	1	0	0	0	0	0	0	0	1
0	1	1	1	0	0	0	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	0	0	0	0	1
1	1	0	0	0	0	0	0	1	1	1	1
1	1	1	0	1	1	1	1	1	0	1	1
1	1	1	1	0	0	0	1	1	1	1	0

Κύκλος ανάγνωσης

Προσοχή: να αποσυνδέσετε τους διακόπτες DQ7-DQ0. Να μείνουν μόνο τα LE DS.

7. Να παραμείνει ενεργοποιημένο το OK της μνήμης (ακροδέκτης $\bar{E}=0$).

8. Να δώσετε $\bar{G}=0$, ώστε οι εισοδοί/έξοδοι δεδομένων να λειτουργούν ως έξοδοι.

9. Με τους διακόπτες επιλογής **διευθύνσεων μνήμης A3A2A1A0** να ορίσετε τη θέση μνήμης από την οποία θέλετε να διαβάσετε ένα δεδομένο.

10. Παρατηρώντας τα LE DS στις εξόδους δεδομένων (αναμμένο="1" ή σβηστό="0"), να συμπληρώσετε τον Πίνακα Ε.20.2.

Πίνακας Ε.20.2

ΔΙΕΥΘΥΝΣΕΙΣ ΜΝΗΜΗΣ				ΔΕΔΟΜΕΝΑ							
A3	A2	A1	A0	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	1	0	1								
0	1	1	1								
1	0	0	1								
1	0	1	1								
1	1	0	0								
1	1	1	0								
1	1	1	1								

11. Να συγκρίνετε τους Πίνακες Ε.20.1 και Ε.20.2.

12. Να διατυπώσετε τα συμπεράσματά σας.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 21

ΜΕΤΑΤΡΟΠΕΑΣ A/D

Στόχοι: Στο τέλος της άσκησης πρέπει:

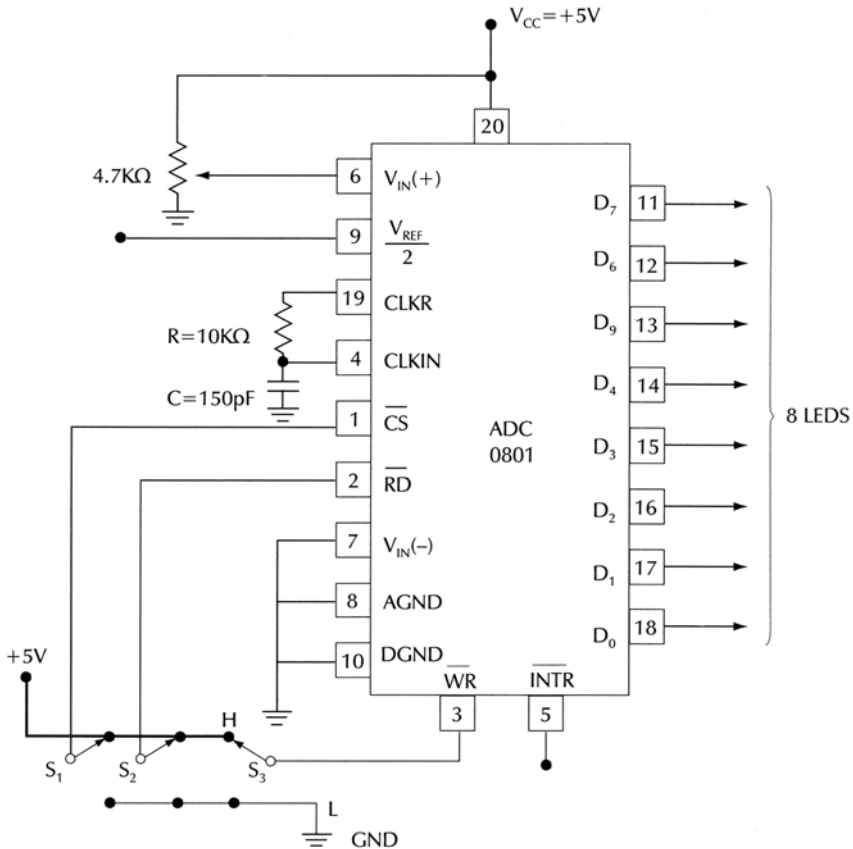
- Να υπολογίζετε την ανάλυση μέτρησης ενός μετατροπέα A/D.
- Να γνωρίζετε τη λειτουργία ενός μετατροπέα A/D και τη διαδικασία με την οποία κάνει τη μετατροπή.
- Να βελτιώνετε την ανάλυση μέτρησης του μετατροπέα A/D, όταν μετατρέπεται αναλογικά σήματα με τάση μικρότερη από 5 V.

Εργασία:

1. Να μελετήσετε τα data sheets του Ο.Κ. ADC0801.

Σημείωση: Αν δε διαθέτετε το OK ADC0801, μπορείτε να χρησιμοποιήσετε έναν άλλον ADC της ίδιας οικογένειας όπως 0802, 0803, 0804, 0805.

2. Να κατασκευάσετε το κύκλωμα του Σχήματος Ε.21.1 σε bread board.



Σχήμα Ε.21.1 Μετατροπέας A/D

3. Να τροφοδοτήσετε το κύκλωμα με + 5 V.

4. Να μετρήσετε την τάση στο Pin 9 ($V_{REF}/2$). Με βάση αυτή τη μέτρηση να προσδιορίσετε τη μέγιστη αναλογική τάση (με ακρίβεια εκατοστού) που μπορεί να μετατρέψει ο ADC.

5. Να υπολογίσετε την ανάλυση μέτρησης του κυκλώματος και τα πηλίκα $\frac{V_{IN}}{\text{Ανάλυση μέτρησης}}$ να τα μεταφέρετε στον παρακάτω πίνακα.

6. Για την ανάλυση μέτρησης που υπολογίσατε στο βήμα 5, για κάθε μία από τις αναλογικές τάσεις V_{IN} του πίνακα, να βρείτε τη ψηφιακή λέξη που αντιστοιχεί σε αυτές και να την καταχωρήσετε στην αντίστοιχη θέση του παρακάτω Πίνακα (Θεωρητικές τιμές).

7. Για κάθε μία από τις αναλογικές τάσεις V_{IN} του πίνακα, να πραγματοποιήσετε τα παρακάτω βήματα:

- Να θέσετε τους διακόπτες $S_1=H$, $S_2=H$ και $S_3=H$.
- Να ρυθμίσετε με το ποτενσιόμετρο R_{Π} την τάση V_{IN}
- Να θέσετε διαδοχικά τους διακόπτες: $S_1=L$, $S_3=L$ και στη συνέχεια $S_3=H$ και $S_2=L$.
- Παρατηρώντας τις καταστάσεις των LEDs, να καταχωρήσετε την ψηφιακή λέξη εξόδου στην αντίστοιχη θέση του πίνακα (Πραγματικές τιμές).

Τάσεις V_{IN} (V)	V_{IN} Ανάλυση μέτρησης	ΨΗΦΙΑΚΕΣ ΛΕΞΕΙΣ ΕΞΟΔΟΥ															
		Θεωρητικές τιμές								Πραγματικές τιμές							
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1																	
1.5																	
2																	
3.5																	
4																	

8. Να συνδέσετε στο Pin 9 μια τάση DC 1.5 V.

9. Να επαναλάβετε τις εργασίες των βημάτων 5-7, για κάθε μία από τις αναλογικές τάσεις V_{IN} του παρακάτω πίνακα και να τον συμπληρώσετε.

Τάσεις V_{IN} (V)	V_{IN} Ανάλυση μέτρησης	ΨΗΦΙΑΚΕΣ ΛΕΞΕΙΣ ΕΞΟΔΟΥ															
		Θεωρητικές τιμές								Πραγματικές τιμές							
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1																	
1.5																	
2																	

10. Να αποσυνδέσετε την τάση 1.5 V από το Pin 9.
11. Να ρυθμίσετε την V_{IN} στη μέγιστη τιμή που προσδιορίσατε στο βήμα 4.
12. Θέτοντας τους διακόπτες: $S_1=L$, $S_3=L$ και στη συνέχεια $S_3=H$, $S_2=L$ και παρατηρώντας τα LEDs, να σημειώσετε την ψηφιακή λέξη στην έξοδο.
13. Να ρυθμίσετε την $V_{IN}=0$ V. Να θέσετε τους διακόπτες $S_1=H$ και $S_2=H$. Ποια είναι η ψηφιακή λέξη που εμφανίζεται στην έξοδο; Είναι αυτή η ψηφιακή λέξη η αντίστοιχη της αναλογικής τάσης εισόδου; Γιατί συμβαίνει αυτό;
14. Ποιες είναι οι λειτουργίες του ADC0801, όταν θέτουμε τους διακόπτες $S_1=L$, $S_3=L$ και στη συνέχεια $S_3=H$, $S_2=L$;
15. Να προσδιορίσετε την τάση εισόδου V_{IN} για να εμφανιστεί στην έξοδο η ψηφιακή λέξη 00010110 όταν:
 - α) το Pin 9 είναι στον “αέρα”
 - β) συνδέεται στο Pin 9 τάση DC 1.5 V.

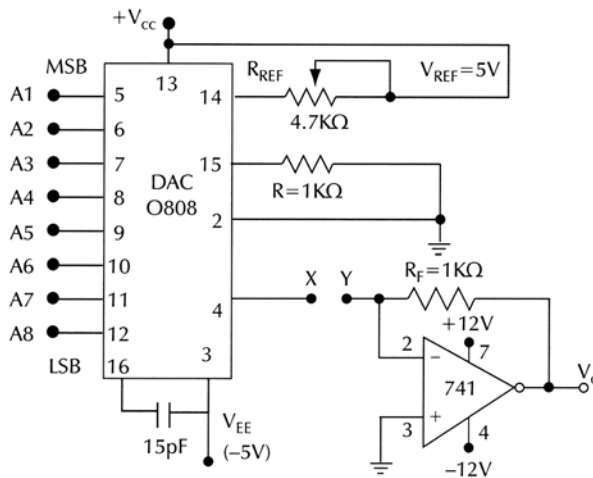
ΜΕΤΑΤΡΟΠΕΑΣ D/A

Στόχοι: Στο τέλος της άσκησης πρέπει:

- Να γνωρίζετε τη λειτουργία ενός μετατροπέα D/A.

Εργασία:

1. Να μελετήσετε τα data sheets του Ο.Κ. DAC0808.
2. Να κατασκευάσετε το κύκλωμα του Σχήματος E.22.1 σε bread board.



Σχήμα E.22.1 Μετατροπέας D/A

3. Να τροφοδοτήσετε το κύκλωμα με τις κατάλληλες τάσεις (απαιτούνται τάσεις +12V, -12 V, + 5V, -5V οι οποίες παρέχονται από συμμετρικά τροφοδοτικά).
4. Να δώσετε σε όλες τις εισόδους (A₁ έως A₈) λογική κατάσταση HIGH.
5. Να συνδέσετε μιλιαμπερόμετρο στα σημεία X (Pin 4) και GND (Pin 2). Να ρυθμίσετε την R_{REF}, ώστε το όργανο να μετρήσει ρεύμα ίσο με -2 mA.
6. Να αποσυνδέσετε το μιλιαμπερόμετρο και να βραχυκυκλώσετε τα σημεία X, Y.
7. Για κάθε μία από τις λογικές καταστάσεις των εισόδων, που φαίνονται στον παρακάτω Πίνακα, να υπολογίσετε την έξοδο V₀ από τη σχέση:

$$V_0 = \frac{V_{REF}}{R_{REF}} \cdot R_F \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

Παρατηρήσεις

α. Επειδή το ρεύμα πρέπει να είναι 2 mA, με δεδομένο ότι $V_{REF} = 5 \text{ V}$, τότε R_{REF} πρέπει να είναι 2.5 ΚΩ. Για μεγαλύτερη ακρίβεια, μετά τη ρύθμιση του ρεύματος στα -2 mA αποσυνδέουμε το ροοστάτη R_{REF} και μετράμε την ακριβή τιμή της αντίστασης R_{REF} .

β. Στις εισόδους A_1 έως A_8 θέτουμε ανάλογα λογικές καταστάσεις “0” ή “1”.

γ. Για ευκολία στους υπολογισμούς μπορούμε να χρησιμοποιήσουμε τον ισοδύναμο τύπο (ισχύει για ρεύμα 2mA):

$$V_0 = \frac{2\text{mA} \cdot R_F}{256} \cdot (128 \cdot A_1 + 64 \cdot A_2 + 32 \cdot A_3 + 16 \cdot A_4 + 8 \cdot A_5 + 4 \cdot A_6 + 2 \cdot A_7 + 1 \cdot A_8)$$

8. Τα αποτελέσματα των υπολογισμών να τα καταχωρήσετε στον παρακάτω Πίνακα:

ΔΥΑΔΙΚΗ ΕΙΣΟΔΟΣ								ΑΝΑΛΟΓΙΚΗ ΤΑΣΗ ΕΞΟΔΟΥ, V_0	
A_1	A_2	A_3	A_4	A_5	A_6	A_7	A_8	Με υπολογισμό	Με μέτρηση
0	0	0	0	0	0	0	0		
0	0	0	0	0	0	0	1		
0	0	0	1	0	0	0	0		
0	0	1	0	0	0	0	0		
0	1	0	0	0	0	0	0		
1	1	1	1	1	1	0	0		
1	1	1	1	1	1	1	1		

9. Να δώσετε διαδοχικά όλες τις λογικές καταστάσεις, που αναφέρονται στον πίνακα, στις δυαδικές εισόδους A_1 έως A_8 και για κάθε περίπτωση να μετράτε την τάση εξόδου V_0 . Τα αποτελέσματα των μετρήσεων να τα καταχωρήσετε στον παραπάνω Πίνακα.

10. Να συγκρίνετε τα αποτελέσματα των υπολογισμών με τα αντίστοιχα των μετρήσεων. Να δικαιολογήσετε τις ενδεχόμενες διαφορές.

11. Με βάση τα αποτελέσματα των μετρήσεων, να προσδιορίσετε τη μεταβολή της τάσης εξόδου, όταν η δυαδική είσοδος μεταβάλλεται κατά 1 bit.

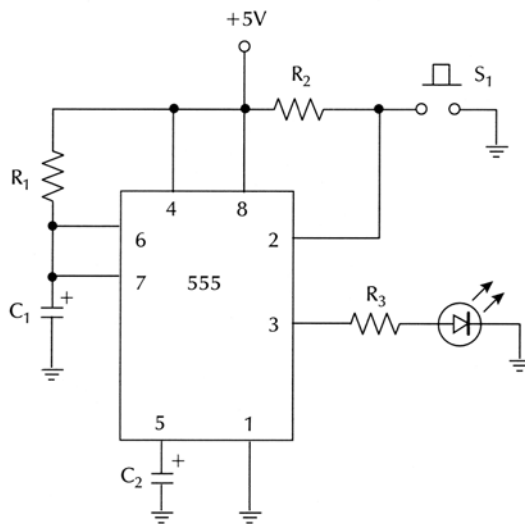
Ο ΧΡΟΝΙΣΤΗΣ 555 ΩΣ ΜΟΝΟΣΤΑΘΗΣ ΠΟΛΥΔΟΝΗΤΗΣ

Στόχοι: Στο τέλος της άσκησης πρέπει:

- Να σχεδιάζετε και να κατασκευάζετε μονοσταθή πολυδονητή με το Ο.Κ. 555.
- Να επιλέγετε τα κατάλληλα εξωτερικά εξαρτήματα για να λάβετε στην έξοδο παλμό με επιθυμητή διάρκεια (t_{ON}).

Εργασία:

1. Να σχεδιάσετε το κύκλωμα του σχήματος Ε.23.1.



Σχήμα Ε.23.1 Μονοσταθής πολυδονητής με το Ο.Κ. 555

2. Να κατασκευάσετε το κύκλωμα σε bread board με τιμές εξωτερικών εξαρτημάτων: $R_1 = 470 \text{ K}\Omega$, $C_1 = 10 \text{ }\mu\text{F}$, $R_2 = 10 \text{ K}\Omega$, $R_3 = 330\Omega$, $C_2 = 10\text{nF}$.

3. Από τον τύπο $t_p = 1.1 \cdot R_1 \cdot C_1$ να υπολογίσετε το χρόνο που η έξοδος του Ο.Κ. 555 παραμένει σε HIGH στάθμη.

4. Να δώσετε έναν παλμό trigger στην είσοδο 2 του Ο.Κ. 555 (με μικρής διάρκειας πίεση του διακόπτη S_1) και να παρατηρήσετε την κατάσταση του LED.

5. Να επαναλάβετε τη διαδικασία του βήματος 4 για να κατανοήσετε τη λειτουργία του μονοσταθής πολυδονητή. Να γράψτε τις παρατηρήσεις σας.

6. Με χρονόμετρο να μετρήσετε το χρόνο t_p που το LED είναι αναμμένο.

7. Να συγκρίνετε το χρόνο t_p που μετρήσατε στο βήμα 6 με το χρόνο t_p που υπολογίσατε στο βήμα 3.

8. Κρατώντας σταθερές τις τιμές των R_2 , R_3 , C_2 και αλλάζοντας κάθε φορά τα R_1, C_1 να επαναλάβετε τα βήματα 3 και 6 και να συμπληρώσετε τον παρακάτω πίνακα:

R_1	C_1	Χρόνος t_p με υπολογισμό	Χρόνος t_p με μέτρηση
470 ΚΩ	10 μ F		
1 ΜΩ	10 μ F		
330 ΚΩ	22 μ F		
1 ΜΩ	22 μ F		
220 ΚΩ	47 μ F		
1 ΜΩ	47 μ F		
330 ΚΩ	100 μ F		
680 ΚΩ	100 μ F		

9. Να διατυπώσετε τα συμπεράσματά σας.

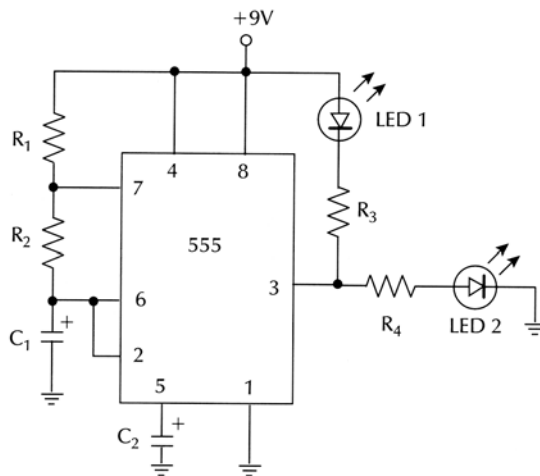
Ο ΧΡΟΝΙΣΤΗΣ 555 ΩΣ ΑΣΤΑΘΗΣ ΠΟΛΥΔΟΝΗΤΗΣ

Στόχοι: Στο τέλος της άσκησης θα πρέπει:

- Να σχεδιάζετε και να κατασκευάζετε ασταθή πολυδονητή με το Ο.Κ. 555.
- Να επιλέγετε τα κατάλληλα εξωτερικά εξαρτήματα για να λάβετε στην έξοδο κυματομορφή επιθυμητής συχνότητας.
- Να μετράτε και να υπολογίζετε τον κύκλο εργασίας (duty cycle) των κυματομορφών εξόδου του Ο.Κ. 555.

Εργασία:

1. Να σχεδιάσετε το κύκλωμα του σχήματος Ε.24.1.



Σχήμα Ε.24.1 Ασταθής πολυδονητής με το Ο.Κ. 555

2. Να κατασκευάσετε το κύκλωμα σε bread board με τιμές εξωτερικών εξαρτημάτων : $R_1 = 2.2 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$, $R_3 = 330 \Omega$, $R_4 = 330 \Omega$, $C_1 = 47 \mu\text{F}$, $C_2 = 0.01 \mu\text{F}$.

3. Να υπολογίσετε: α) το χρόνο που η έξοδος του 555 είναι σε HIGH στάθμη (t_{ON}), β) το χρόνο που η έξοδος του Ο.Κ. 555 είναι σε LOW στάθμη (t_{OFF}), γ) την περίοδο της κυματομορφής εξόδου.

4. Να τροφοδοτήσετε κατάλληλα το κύκλωμα.

5. Να παρατηρήσετε τα LEDs 1 και 2 (το LED 1 ανάβει όταν η έξοδος είναι LOW, ενώ το LED 2 όταν η έξοδος είναι HIGH)

6. Με χρονοόμετρο μετρήστε το χρόνο ενός πλήρους κύκλου ($T = t_{ON} + t_{OFF}$).

7. Να συγκρίνετε το χρόνο T που μετρήσατε στο βήμα 6 με το χρόνο T που υπολογίσατε στο βήμα 3.

8. Κρατώντας σταθερές τις τιμές των R_3 , R_4 , C_2 και αλλάζοντας κάθε φορά τα R_1 , R_2 , C_1 να επαναλάβετε τα βήματα 3 και 6 και να συμπληρώσετε τον παρακάτω πίνακα:

R_1	R_2	C_1	Χρόνος T με υπολογισμό	Χρόνος T με μέτρηση
22 kΩ	100 kΩ	47 μF		
100 kΩ	100 kΩ	47 μF		
220 kΩ	47 kΩ	47 μF		
33 kΩ	47 kΩ	100 μF		
47 kΩ	100 kΩ	47 μF		

9. Να διατυπώσετε τα συμπεράσματά σας.

10. Να αποσυνδέσετε από την έξοδο του Ο.Κ. 555 (Pin 3) τις αντιστάσεις R_3 , R_4 και τα LED 1, LED 2 και να συνδέσετε παλμογράφο.

11. Να τοποθετήσετε πυκνωτή $C_1 = 1$ nF. Για τα ζεύγη αντιστάσεων: α) $R_1 = 33$ kΩ, $R_2 = 100$ kΩ, β) $R_1 = 330$ kΩ, $R_2 = 100$ kΩ, γ) $R_1 = 33$ kΩ, $R_2 = 47$ kΩ να σχεδιάσετε τις κυματομορφές εξόδου. Για κάθε κυματομορφή να μετρήσετε και να υπολογίσετε:

α) την περίοδο T

β) τη συχνότητα f

γ) τον κύκλο εργασίας (duty cycle).

12. Να συγκρίνετε τα αποτελέσματα των υπολογισμών και των μετρήσεων.

13. Να διατυπώσετε τα συμπεράσματά σας.

14. Χρησιμοποιώντας παλμογράφο διπλής δέσμης, να συνδέσετε το ένα κανάλι στην έξοδο και το δεύτερο στα άκρα του C_1 .

15. Να μετακινήσετε τον επιλογέα καναλιών του παλμογράφου στο "dual".

16. Να μετακινήσετε τον επιλογέα "AC, DC, GND" στο GND (και των δύο καναλιών) και τοποθετήστε τις δέσμες πάνω στον οριζόντιο άξονα της οθόνης του παλμογράφου, ώστε να συμπίπτουν.

17. Να μετακινήσετε τον επιλογή “AC, DC, GND” (και των δύο καναλιών) στο DC. Προσέχετε τώρα να μη μετακινήσετε τους ρυθμιστές “Position” για κανένα λόγο.

18. Να ρυθμίσετε τα: VOLT/DIV και TIME/DIV, ώστε οι κυματομορφές να είναι καθαρές και σταθερές στην οθόνη του παλμογράφου.

19. Να παρατηρήσετε τις κυματομορφές και να τις σχεδιάσετε.

20. Να μετρήσετε τις ελάχιστες και μέγιστες στάθμες τάσης των δύο κυματομορφών.

21. Ποιες είναι οι στάθμες τάσης που ο πυκνωτής C_1 αρχίζει να φορτίζεται και να εκφορτίζεται; Να τις συγκρίνετε με τις τιμές $1/3 V_{CC}$ και $2/3 V_{CC}$.

22. Ποια είναι η λογική κατάσταση της εξόδου όταν ο πυκνωτής φορτίζεται και ποια όταν εκφορτίζεται;

23. Να διατυπώσετε τα συμπεράσματά σας.

**ΦΥΛΛΑ ΔΕΔΟΜΕΝΩΝ Ο.Κ.
(DATA SHEETS)**

54LS00/DM54LS00/DM74LS00 Quad 2-Input NAND Gates

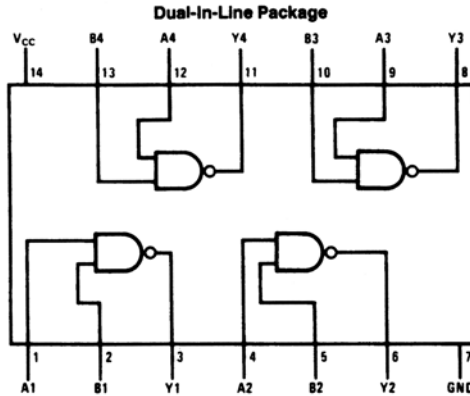
General Description

This device contains four independent gates each of which performs the logic NAND function.

Features

- Alternate Military/Aerospace device (54LS00) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



TL/F/6439-1

Order Number 54LS00DMQB, 54LS00FMQB, 54LS00LMQB, DM54LS00J, DM54LS00W, DM74LS00M or DM74LS00N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level

L = Low Logic Level

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54LS00			DM74LS00			Units
		Min	Nom	Max	Min	Nom	Max	
V _{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High Level Input Voltage	2			2			V
V _{IL}	Low Level Input Voltage			0.7			0.8	V
I _{OH}	High Level Output Current			-0.4			-0.4	mA
I _{OL}	Low Level Output Current			4			8	mA
T _A	Free Air Operating Temperature	-55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -18 mA			-1.5	V
V _{OH}	High Level Output Voltage	V _{CC} = Min, I _{OH} = Max, V _{IL} = Max	DM54	2.5	3.4	V
			DM74	2.7	3.4	
V _{OL}	Low Level Output Voltage	V _{CC} = Min, I _{OL} = Max, V _{IH} = Min	DM54	0.25	0.4	V
			DM74	0.35	0.5	
		I _{OL} = 4 mA, V _{CC} = Min	DM74	0.25	0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V			0.1	mA
I _{IH}	High Level Input Current	V _{CC} = Max, V _I = 2.7V			20	μA
I _{IL}	Low Level Input Current	V _{CC} = Max, V _I = 0.4V			-0.36	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	DM54	-20	-100	mA
			DM74	-20	-100	
I _{CCH}	Supply Current with Outputs High	V _{CC} = Max		0.8	1.6	mA
I _{CCL}	Supply Current with Outputs Low	V _{CC} = Max		2.4	4.4	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t _{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

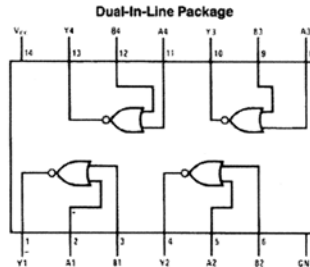
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

DM74LS02

Quad 2-Input NOR Gate

Connection Diagram



Order Number 54LS02DMQB, 54LS02FMQB, 54LS02LMQB, DM54LS02J, DM54LS02W, DM74LS02M or DM74LS02N
See NS Package Number E20A, J14A, M14A, N14A or W14B

TL/F/6441-1

Function Table

$$Y = \overline{A + B}$$

$$Y = \overline{A + B}$$

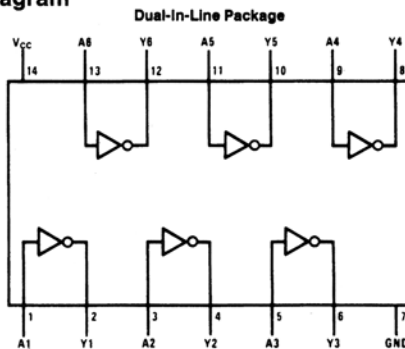
Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = High Logic Level
L = Low Logic Level

DM74LS04 Hex

Inverting Driver

Connection Diagram



Function Table

$$Y = \overline{A}$$

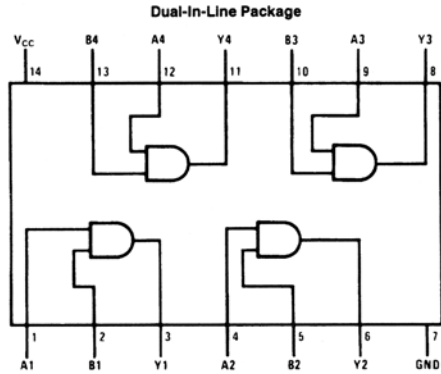
Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

DM74LS08A

Quadruple 2-Input AND Buffer

Connection Diagram



Function Table

$$Y = AB$$

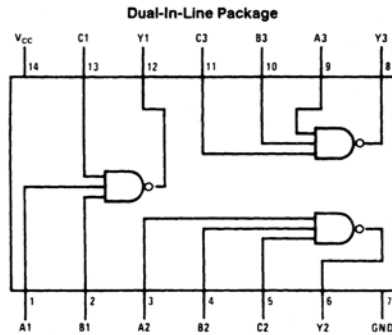
Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level
L = Low Logic Level

DM74LS10

Triple 3-Input NAND Gates

Connection Diagram



Function Table

$$Y = \overline{ABC}$$

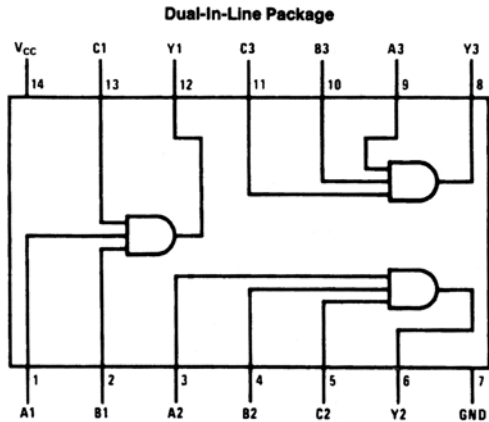
Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = High Logic Level
L = Low Logic Level
X = Either Low or High Logic Level

DM74LS11

Triple 3-Input AND Gates

Connection Diagram



Function Table

$Y = ABC$

Inputs			Output
A	B	C	Y
X	X	L	L
X	L	X	L
L	X	X	L
H	H	H	H

H = High Logic Level

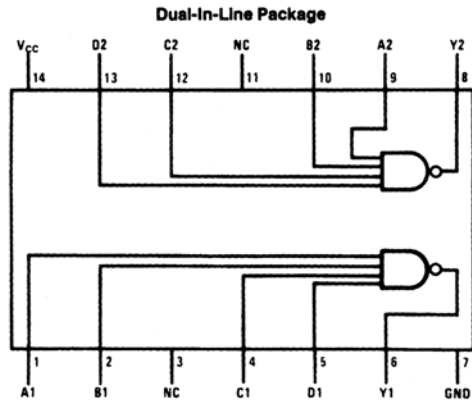
L = Low Logic Level

X = Either Low or High Logic Level

DM7420

Dual 4-Input NAND Gates

Connection Diagram



Function Table

$$Y = \overline{ABCD}$$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = High Logic Level

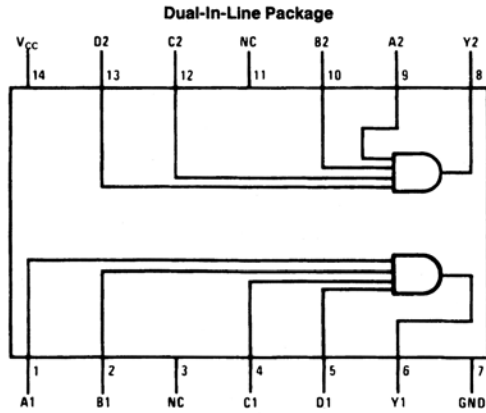
L = Low Logic Level

X = Either Low or High Logic Level

DM74AL21A

Dual 4-Input AND Gate

Connection Diagram



Function Table

$$Y = ABCD$$

Y =

Inputs				Output
A	B	C	D	Y
X	X	X	L	L
X	X	L	X	L
X	L	X	X	L
L	X	X	X	L
H	H	H	H	H

H = High Logic Level

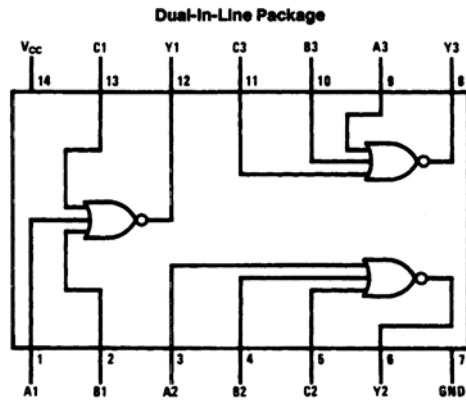
L = Low Logic Level

X = Either Low or High Logic Level

DM74LS27

Triple 3-Input NOR Gates

Connection Diagram



Function Table

$$Y = \overline{A + B + C}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

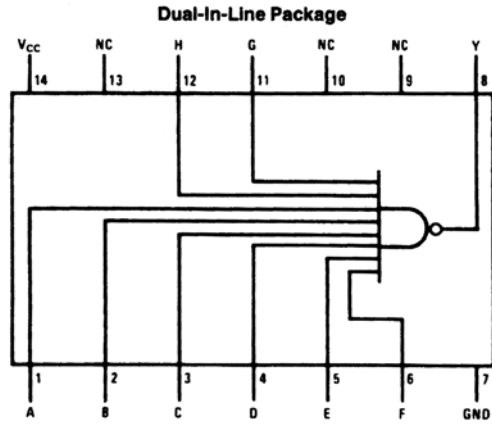
H = High Logic Level

L = Low Logic Level

DM74LS30

8-Input NAND Gate

Connection Diagram



Function Table

$$Y = \overline{ABCDEFGH}$$

Inputs	Output
A thru H	Y
All Inputs H One or More Input L	L H

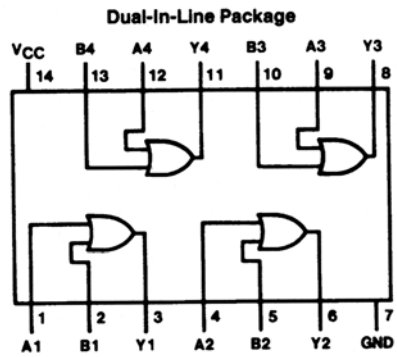
H = High Logic Level

L = Low Logic Level

DM74LS32

Quad 2-Input OR Gates

Connection Diagram



Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

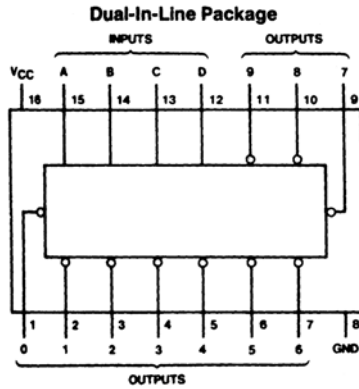
H = High Logic Level

L = Low Logic Level

DM7442A

BCD to Decimal Decoders

Connection Diagram



Function Table

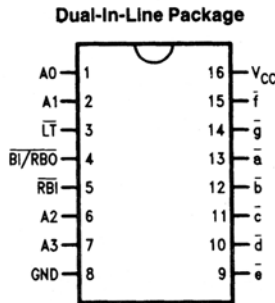
No.	BCD Inputs				Decimal Outputs										
	D	C	B	A	0	1	2	3	4	5	6	7	8	9	
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High Level
L = Low Level

DM74LS47

BCD to 7-Segment Decoder/Driver with Open-Collector Outputs

Connection Diagram



Truth Table

Decimal or Function	Inputs							Outputs							Note
	\overline{LT}	\overline{RBI}	A3	A2	A1	A0	$\overline{BI/RBO}$	\bar{a}	\bar{b}	\bar{c}	\bar{d}	\bar{e}	\bar{f}	\bar{g}	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	1
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	1
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
\overline{BI}	X	X	X	X	X	X	L	H	H	H	H	H	H	H	2
\overline{RBI}	H	L	L	L	L	L	L	L	H	H	H	H	H	H	3
\overline{LT}	L	X	X	X	X	X	H	L	L	L	L	L	L	L	4

Note 1: $\overline{BI/RBO}$ is wire-AND logic serving as blanking input (\overline{BI}) and/or ripple-blanking output (\overline{RBO}). The blanking out (\overline{BI}) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input (\overline{RBI}) must be open or at a HIGH level if blanking or a decimal 0 is not desired. X = input may be HIGH or LOW.

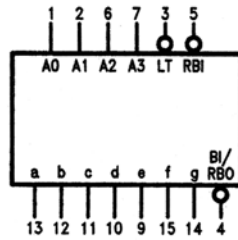
Note 2: When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a HIGH level regardless of the state of any other input condition.

Note 3: When ripple-blanking input (\overline{RBI}) and inputs A0, A1, A2 and A3 are LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output (\overline{RBO}) goes to a LOW level (response condition).

Note 4: When the blanking input/ripple-blanking output ($\overline{BI/RBO}$) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a LOW level.

MM7448

BCD-to-7 Segment Decoder



TL/F/10172-2

V_{CC} = Pin 16
GND = Pin 8

Numerical Designations—Resultant Displays



Truth Table

Decimal Or Function	Inputs						Outputs							
	LT	RBI	A ₃	A ₂	A ₁	A ₀	BI/RBO	a	b	c	d	e	f	g
0 (Note 1)	H	H	L	L	L	L	H	H	H	H	H	H	H	L
1 (Note 1)	H	X	L	L	L	H	H	L	H	H	L	L	L	L
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L
BI (Note 2)	X	X	X	X	X	X	L	L	L	L	L	L	L	L
RBI (Note 3)	H	L	L	L	L	L	L	L	L	L	L	L	L	L
LT (Note 4)	L	X	X	X	X	X	H	H	H	H	H	H	H	H

Note 1: BI/RBO is wired-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking out (BI) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input (RBI) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X = input may be HIGH or LOW.

Note 2: When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.

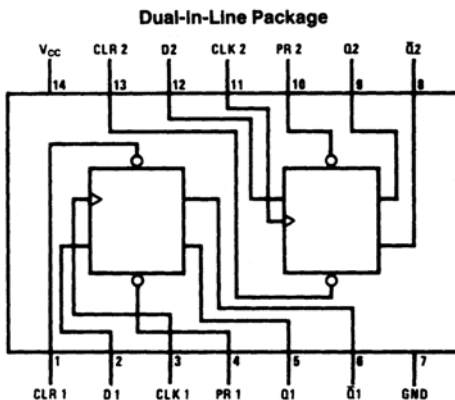
Note 3: When ripple-blanking input (RBI) and inputs A₀, A₁, A₂, and A₃ are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a LOW level and the ripple-blanking output (RBO) goes to a LOW level (response condition).

Note 4: When the blanking input/ripple-blanking output (BI/RBO) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a HIGH level.

DM74LS74A

Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

H = High Logic Level

X = Either Low or High Logic Level

L = Low Logic Level

↑ = Positive-going Transition

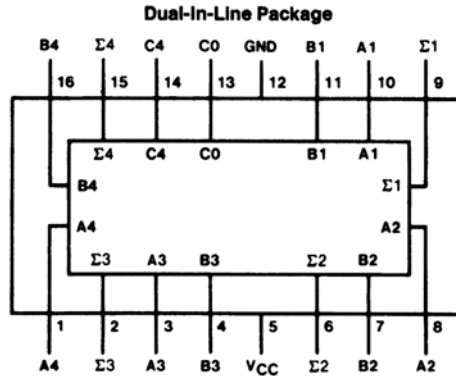
* = This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (high) level.

Q₀ = The output logic level of Q before the indicated input conditions were established.

DM74LS83A

4-Bit Binary Adders with Fast Carry

Connection Diagram



TL/F/6378-1

Truth Table

Inputs								Outputs								
								When C0 = L				When C0 = H				
A1 A3		B1 B3		A2 A4		B2 B4		When C2 = L				When C2 = H				
								Σ1	Σ3	Σ2	Σ4	C2	C4	Σ1	Σ3	Σ2
L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L
L	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L
H	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L
L	L	H	L	L	L	L	L	L	L	L	L	L	H	L	L	L
H	L	H	L	L	L	L	L	L	L	L	L	L	H	L	L	L
L	H	H	L	L	L	L	L	L	L	L	L	L	H	L	L	L
H	H	H	L	L	L	L	L	L	L	L	L	L	H	L	L	L
L	L	L	H	L	L	L	L	L	L	L	L	L	H	L	L	L
H	L	L	H	L	L	L	L	L	L	L	L	L	H	L	L	L
L	H	L	H	L	L	L	L	L	L	L	L	L	H	L	L	L
H	H	L	H	L	L	L	L	L	L	L	L	L	H	L	L	L
L	L	H	H	L	L	L	L	L	L	L	L	L	H	L	L	L
H	H	H	H	L	L	L	L	L	L	L	L	L	H	L	L	L
L	L	H	H	L	L	L	L	L	L	L	L	L	H	L	L	L
H	H	H	H	L	L	L	L	L	L	L	L	L	H	L	L	L

H = High Level, L = Low Level

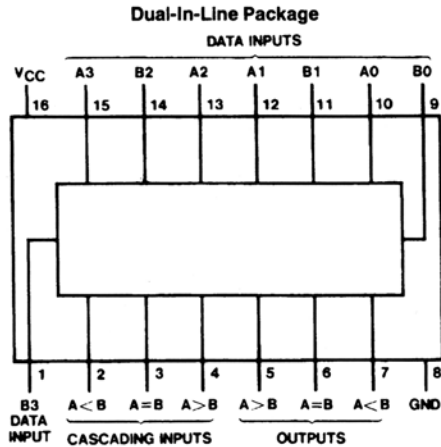
TL/F/6378-3

Note: Input conditions at A1, B1, A2, B2, and C0 are used to determine outputs Σ1 and Σ2 and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are then used to determine outputs Σ3, Σ4, and C4.

DM74LS85

4-Bit Magnitude Comparators

Connection Diagram



Function Table

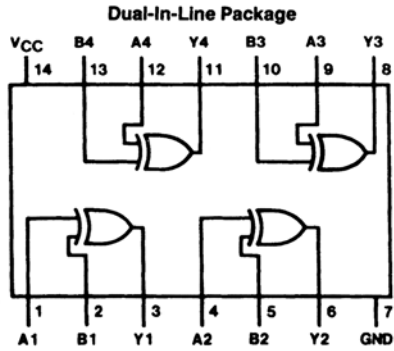
Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = 0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

H = High Level, L = Low Level, X = Don't Care

DM74LS86

Quad 2-Input Exclusive-OR Gates

Connection Diagram



Function Table

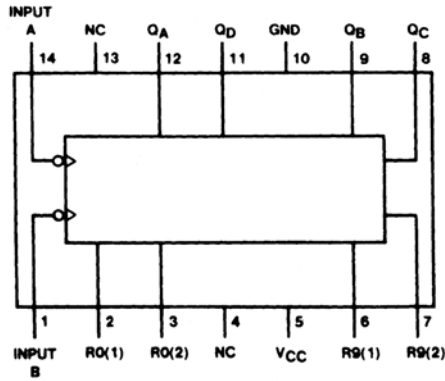
$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

DM74LS90

Decade Counter

Connection Diagrams (Dual-In-Line Packages)



Function Tables

LS90
BCD Count Sequence
(See Note A)

Count	Output			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

LS90
BI-Quinary (5-2)
(See Note B)

Count	Output			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

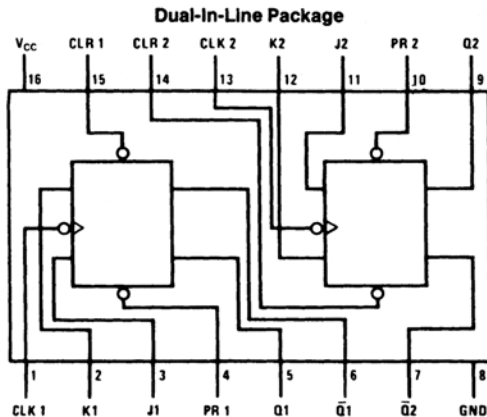
LS90
Reset/Count Truth Table

Reset Inputs				Output			
R0(1)	R0(2)	R9(1)	R9(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

DM74LS112A

Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flops with Preset, Clear, and Complementary Outputs

Connection Diagram



Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q ₀	\bar{Q}_0
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	
H	H	H	X	X	Q ₀	\bar{Q}_0

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

↓ = Negative Going Edge of Pulse

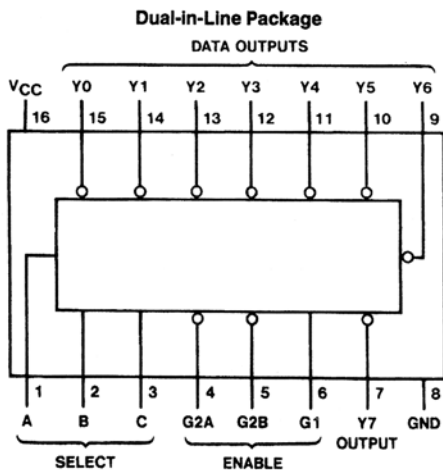
* = This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (high) level.

Q₀ = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

74LCX138

Low Voltage 1-of-8 Decoder/Demultiplexer with 5V Tolerant Inputs



Function Tables

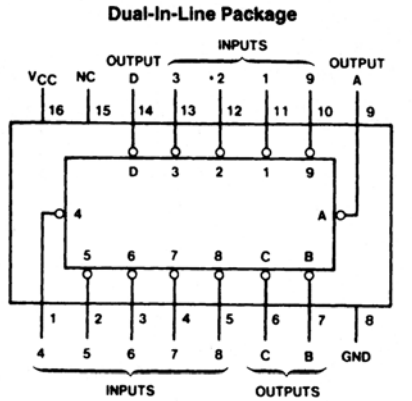
LS138

Inputs					Outputs							
Enable		Select			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

MM74HC147

10-2 Line Priority Encoder

Connection and Logic Diagrams



Top View

Order Number MM54HC147* or MM74HC147*

*Please look into Section 8, Appendix D
for availability of various package types.

Truth Table

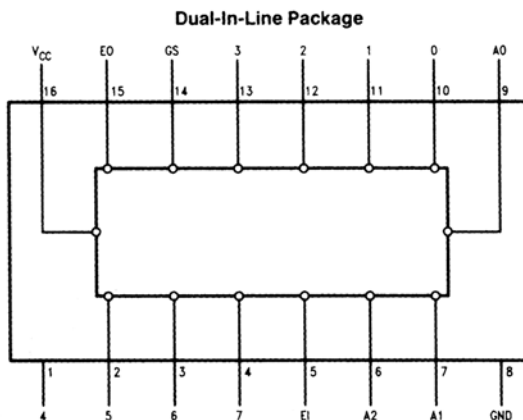
Inputs									Outputs			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = High Logic Level, L = Low Logic Level, X = Irrelevant

MM74HC148

8-3 Line Priority Encoder

Connection Diagram



Truth Table

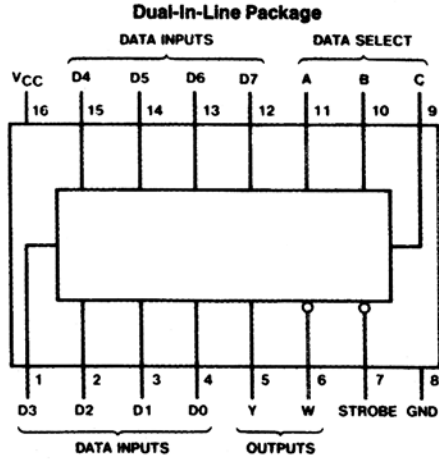
		Inputs								Outputs				
		0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	H	L	H	H	L	H
L	X	X	L	H	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L	H

H = High, L = Low, X = irrelevant

DM74LS151

Data Selector/Multiplexer

Connection Diagram



Truth Table

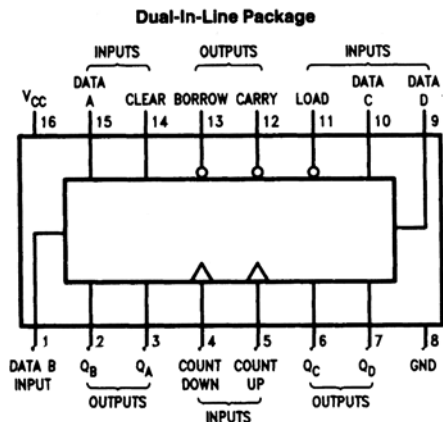
Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = High Level, L = Low Level, X = Don't Care
D0, D1...D7 = the level of the respective D input

DM74LS193

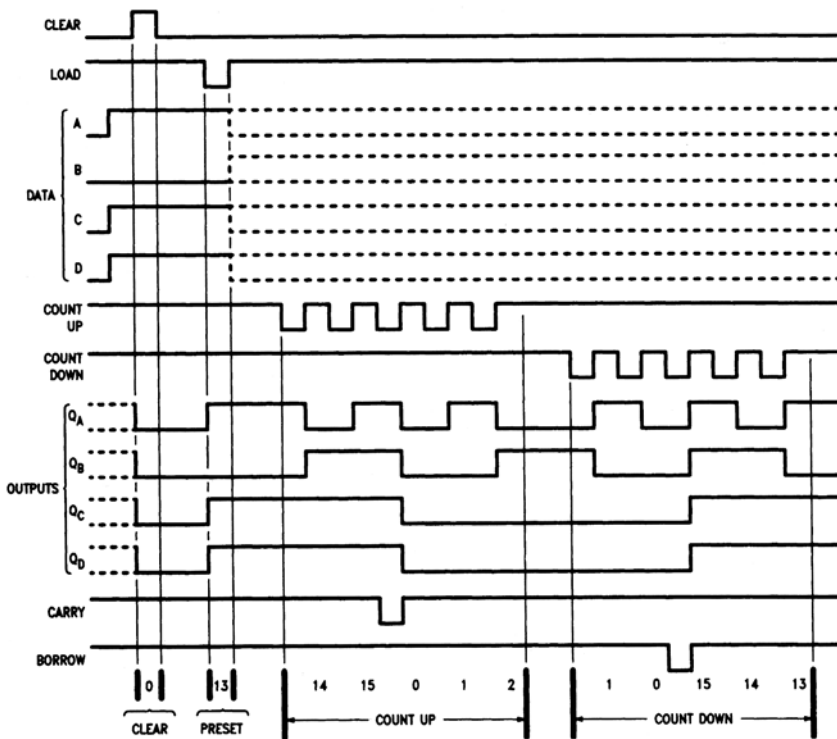
Synchronous 4-Bit Binary Counters with Dual Clock

Connection Diagram



Timing Diagrams

Typical Clear, Load, and Count Sequences



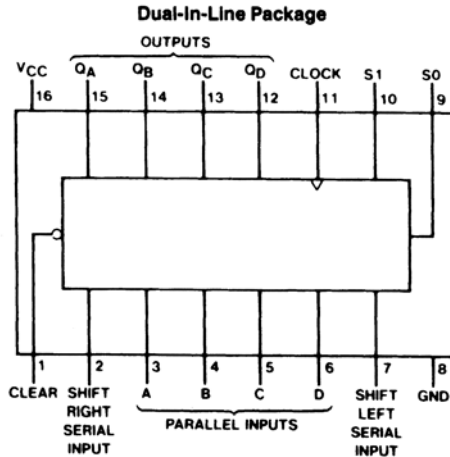
Note A: Clear overrides load, data, and count inputs.

Note B: When counting up, count-down input must be high; when counting down, count-up input must be high.

DM74LS194A

4-Bit Bidirectional Universal Shift Register

Connection Diagram



Function Table

Clear	Mode		Clock	Inputs				Outputs					
	S1	S0		Serial		Parallel				QA	QB	QC	QD
				Left	Right	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H	↑	X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L	↑	H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L	↑	L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

H = High Level (steady state), L = Low Level (steady state), X = Don't Care (any input, including transitions)

↑ = Transition from low to high level

a, b, c, d = The level of steady state input at inputs A, B, C or D, respectively.

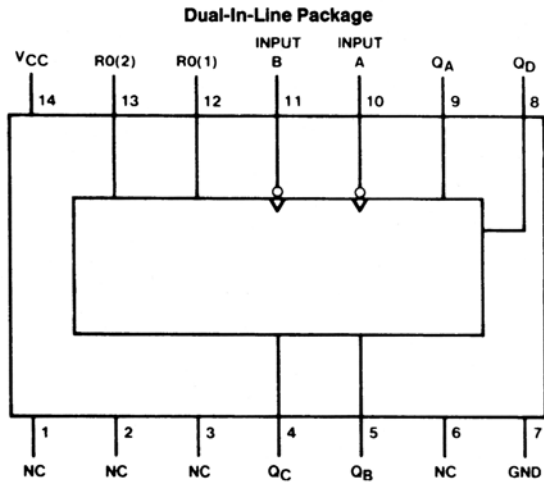
QA0, QB0, QC0, QD0 = The level of QA, QB, QC, or QD, respectively, before the indicated steady state input conditions were established.

QAn, QBn, QCn, QDn = The level of QA, QB, QC, respectively, before the most-recent ↑ transition of the clock.

DM74LS293

4-Bit Binary Counter

Connection Diagram



Function Tables

Count Sequence (See Note C)

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Note C: Output Q_A is connected to input B.

Reset/Count Truth Table

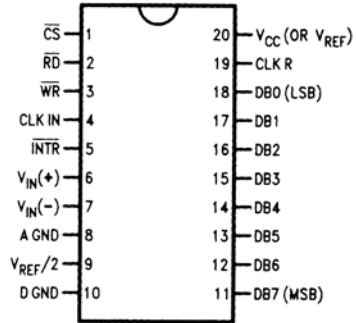
Reset Inputs		Outputs			
R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

H = High Level, L = Low Level, X = Don't Care.

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-bit μ P Compatible A/D Converters

Connection Diagram

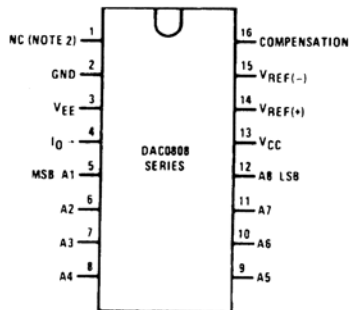
ADC080X
Dual-In-Line and Small Outline (SO) Packages



DAC0808 8-bit D/A Converter

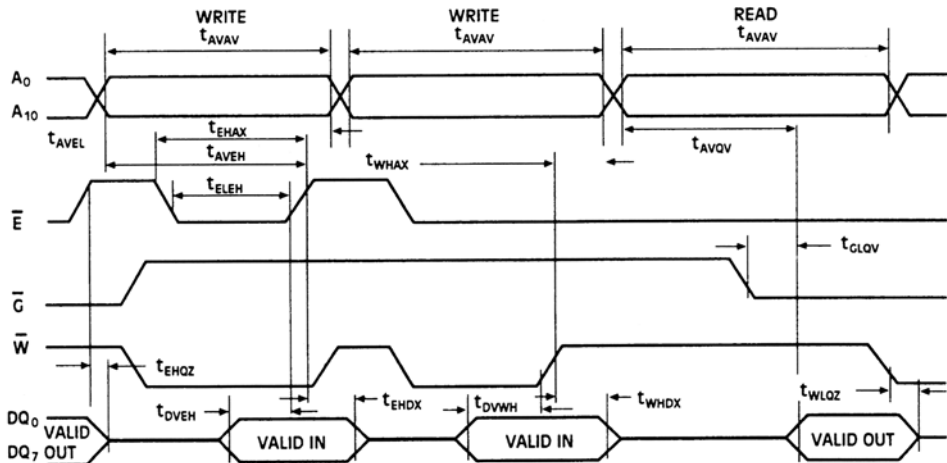
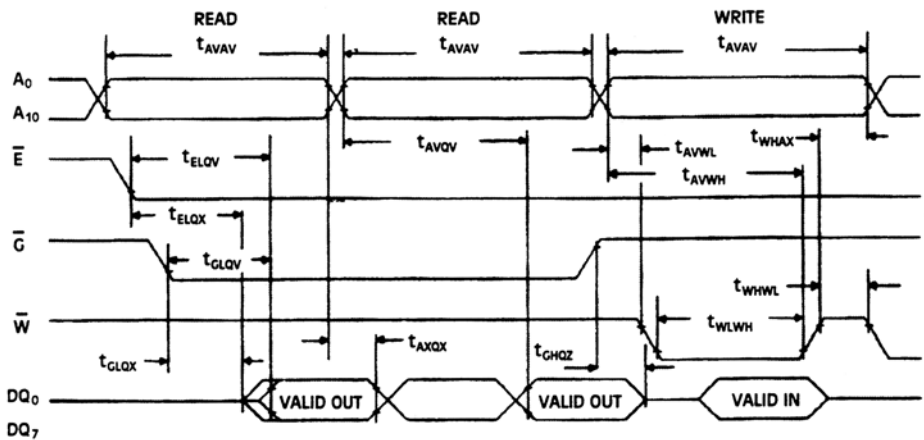
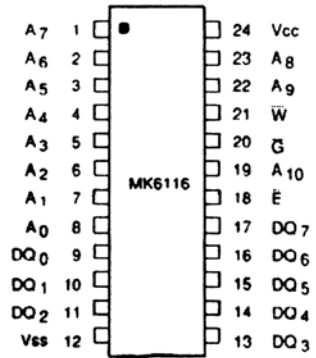
Connection Diagram

Dual-In-Line Package

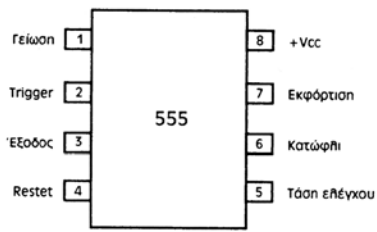


RAM MK 6116

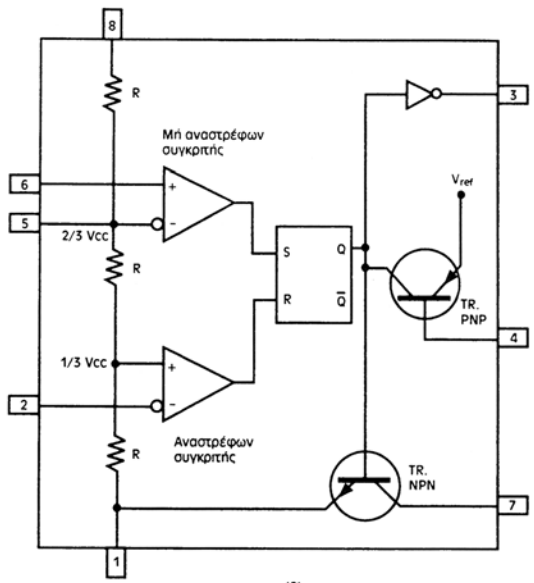
A ₀ -A ₁₀	ADDRESS INPUTS
DQ ₀ -DQ ₇	DATA I/O
\bar{E}	CHIP ENABLE
\bar{G}	OUTPUT ENABLE
\bar{W}	WRITE ENABLE
V _{cc} , V _{ss}	+5V, GND



ΤΟ Ο.Κ. ΧΡΟΝΙΣΜΟΥ 555



(α)



(β)

ΟΝΟΜΑΤΟΛΟΓΙΑ Ο.Κ.

ΣΗΜΑΣΙΑ	ΚΩΔΙΚΟΣ
Κατασκευάστρια Εταιρεία	SN (Texas Instruments) DM (Fairchild)
Περιοχή Θερμοκρασίας	74 (0° C - 70° C για εμπορικές εφαρμογές) 64 (-40° C - 85° C για βιομηχανικές εφαρμογές) 54 (-55° C - 125° C για στρατιωτικές εφαρμογές)
Τεχνολογία Κατασκευής	S (Schottky) LS (Low-power Schottky) ALS (Advanced Low-power Schottky) HC (High-speed CMOS TTL) HTC (High-speed CMOS TTL compatible) C (CMOS)
Αριθμός Ολοκληρωμένου Κυκλώματος	00 (4 πύλες NAND 2 εισόδων) 02 (4 πύλες NOR 2 εισόδων) 04 (6 πύλες NOT) 08 (4 πύλες AND 2 εισόδων) 32 (4 πύλες OR 2 εισόδων) 86 (4 πύλες XOR 2 εισόδων) 112 (2 J-K flip-flops) 138 (Αποκωδικοποιητής 3x8) 148 (Κωδικοποιητής προτεραιότητας 8x3) 151 (Πολυπλέκτης 8 εισόδων)
Προαιρετική κατάληξη τρόπου συσκευασίας	D/DW (SOIC - Small Outline Integrated Circuit) DB/DL (SSOP) DGG (TSSOP) FK (LCCC) N/P (PDIP- Plastic Dual In Package) NS (SOP)
Παράδειγμα	DM 74LS00P 4 πύλες NAND 2 εισόδων της εταιρείας Fairchild σε πλαστική συσκευασία

ΕΥΡΕΤΗΡΙΟ Ο.Κ.

1. Κατά αριθμητική σειρά

7400	4 πύλες NAND 2 εισόδων.....	11, 70
7402	4 πύλες NOR 2 εισόδων.....	12, 72
7404	6 πύλες NOT.....	7, 72
7408	4 πύλες AND 2 εισόδων.....	8, 50, 51, 73
7410	3 πύλες NAND 3 εισόδων.....	73
7411	3 πύλες AND 3 εισόδων.....	74
7420	2 πύλες NAND 4 εισόδων.....	75
7421	2 πύλες AND 4 εισόδων.....	76
7427	3 πύλες NOR 3 εισόδων.....	77
7430	1 πύλη NAND 8 εισόδων.....	78
7432	4 πύλες OR 2 εισόδων.....	9, 51, 79
7442	Αποκωδικοποιητής BCD σε δεκαδικό.....	31, 80
7447	Αποκωδικοποιητής BCD σε 7 τμήματα.....	47, 49, 81
7448	Αποκωδικοποιητής BCD σε 7 τμήματα.....	82
7474	2D flip-flops.....	37, 40, 83
7483	Παράλληλος δυαδικός αθροιστής 4 bits.....	53, 84
7485	Συγκριτής μεγέθους δύο 4-bits δυαδικών αριθμών.....	21, 85
7486	4 πύλες XOR 2 εισόδων.....	13, 50, 51, 53, 86
7490	BCD απαριθμητής.....	47, 87
74112	2 J-K flip-flops.....	38, 44, 88
74138	Αποπολυπλέκτης 1x8 /Αποκωδικοποιητής 3x8.....	29, 89
74147	Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD.....	33, 90
74148	Κωδικοποιητής προτεραιότητας 8x3.....	91
74151	Πολυπλέκτης 8 εισόδων.....	92
74193	Σύγχρονος αμφίδρομος δυαδικός απαριθμητής 4-bits.....	49, 93
74194	Γενικής χρήσης Καταχωρητής Ολίσθησης 4-bits.....	42, 94
74293	Ασύγχρονος δυαδικός απαριθμητής 4-bits.....	95
ADC0801	Μετατροπέας A/D.....	58, 96
DAC0808	Μετατροπέας D/A.....	61, 96
MK6116	Στατική Μνήμη RAM 2K.....	55, 97
555	Χρονιστής.....	63, 65, 98

2. Κατά αλφαβητική σειρά

Flip-flops		
7474	2D flip-flops.....	37, 40, 83
74112	2 J-K flip-flops.....	38, 44, 88
Αθροιστές		
7483	Παράλληλος δυαδικός αθροιστής 4 bits.....	53, 84

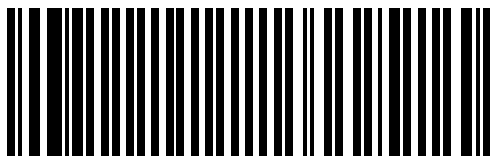
Απαριθμητές (Counters)	
7490	BCD απαριθμητής47, 87
74193	Σύγχρονος αμφίδρομος δυαδικός απαριθμητής 4-bits 49, 93
74293	Ασύγχρονος δυαδικός απαριθμητής 4-bits 95
Αποκωδικοποιητές (Decoders)	
7442	Αποκωδικοποιητής BCD σε δεκαδικό31, 80
7447	Αποκωδικοποιητής BCD σε 7 τμήματα47, 49, 81
7448	Αποκωδικοποιητής BCD σε 7 τμήματα 82
74138	Αποκωδικοποιητής 3x8.....29, 89
Αποπολυπλέκτες (Demultiplexers)	
74138	Αποπολυπλέκτης 1x829, 89
Καταχωρητές (Registers)	
74194	Γενικής χρήσης Καταχωρητής Ολίσθησης 4-bits42, 94
Κωδικοποιητές (Encoders)	
74147	Κωδικοποιητής προτεραιότητας από δεκαδικό σε BCD 33, 90
74148	Κωδικοποιητής προτεραιότητας 8x3..... 91
Μετατροπείς A/D και D/A	
ADC0801	Μετατροπέας A/D.....58, 96
DAC0808	Μετατροπέας D/A..... 61, 96
Μνήμες	
MK6116	Στατική Μνήμη RAM 2K.....55, 97
Πολυπλέκτες (Multiplexers)	
74151	Πολυπλέκτης 8 εισόδων 92
Πύλες	
AND	
7408	4 πύλες AND 2 εισόδων 8, 50, 51, 73
7411	3 πύλες AND 3 εισόδων.....74
7421	2 πύλες AND 4 εισόδων.....76
NAND	
7400	4 πύλες NAND 2 εισόδων 11, 70
7410	3 πύλες NAND 3 εισόδων73
7420	2 πύλες NAND 4 εισόδων75
7430	1 πύλη NAND 8 εισόδων78

NOR		
7402	4 πύλες NOR 2 εισόδων	12, 72
7427	3 πύλες NOR 3 εισόδων	77
NOT		
7404	6 πύλες NOT	7, 72
OR		
7432	4 πύλες OR 2 εισόδων.....	9, 51, 79
XOR		
7486	4 πύλες XOR 2 εισόδων	13, 50, 51, 53, 86
Συγκριτής μεγέθους		
7485	Συγκριτής μεγέθους δύο 4-bits δυαδικών αριθμών.....	21, 85
Χρονιστές		
555	Χρονιστής	63, 65, 98

Βάσει του ν. 3966/2011 τα διδακτικά βιβλία του Δημοτικού, του Γυμνασίου, του Λυκείου, των ΕΠΑ.Λ. και των ΕΠΑ.Σ. τυπώνονται από το ΙΤΥΕ - ΔΙΟΦΑΝΤΟΣ και διανέμονται δωρεάν στα Δημόσια Σχολεία. Τα βιβλία μπορεί να διατίθενται προς πώληση, όταν φέρουν στη δεξιά κάτω γωνία του εμπροσθόφυλλου ένδειξη «ΔΙΑΤΙΘΕΤΑΙ ΜΕ ΤΙΜΗ ΠΩΛΗΣΗΣ». Κάθε αντίτυπο που διατίθεται προς πώληση και δεν φέρει την παραπάνω ένδειξη θεωρείται κλεψίτυπο και ο παραβάτης διώκεται σύμφωνα με τις διατάξεις του άρθρου 7 του νόμου 1129 της 15/21 Μαρτίου 1946 (ΦΕΚ 1946,108, Α').

Απαγορεύεται η αναπαραγωγή οποιουδήποτε τμήματος αυτού του βιβλίου, που καλύπτεται από δικαιώματα (copyright), ή η χρήση του σε οποιαδήποτε μορφή, χωρίς τη γραπτή άδεια του Υπουργείου Παιδείας, Θρησκευμάτων και Αθλητισμού / ΙΤΥΕ - ΔΙΟΦΑΝΤΟΣ.

Κωδικός βιβλίου: 0-24-0312
ISBN Set 978-960-06-2847-0
Τ.Β´ 978-960-06-2849-4



(01) 000000 0 24 0312 0